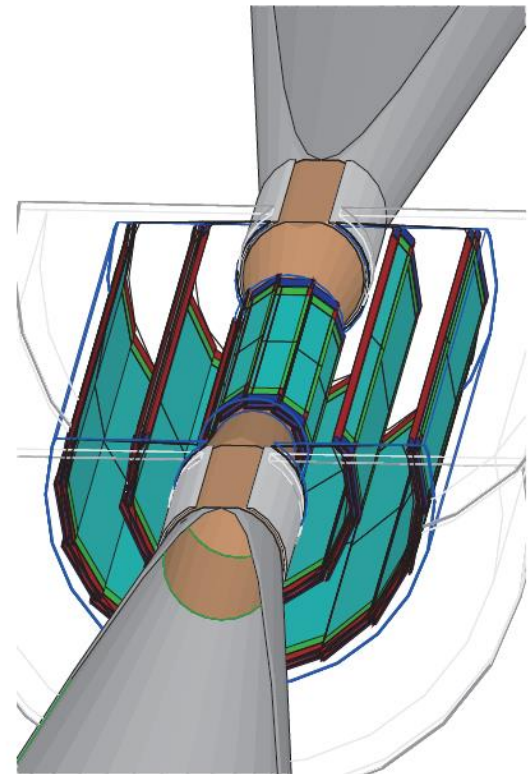


エレキ入門 —ILC VTX 検出器を例に—

ILC夏の合宿@富山 2013年7月22日
信州大学 佐藤比佐夫



内容

-- VTX検出器 --

VTXの役割・要求性能

VTX候補の3方式

FPCCD VTXの全体構成(最終形態)

ラダーの構成

-- CCD --

CCDの構造と信号 (1)

CCDの読み出し動作

CCDの構造と信号 (2)

CCDの構造

-- ASIC --

ASIC “AFFROC” 全体構成

ASIC “AFFROC” 回路構成 PreAMP部

ASIC “AFFROC” 回路構成 PreAMP部

ASIC “AFFROC” 構成 LPF+CDS

ASIC “AFFROC” 回路構成 AD変換部 (その1)

ASIC “AFFROC” 回路構成 AD変換部

ASIC “AFFROC” 回路構成 コンパレータ部

ASIC “AFFROC” 構成 制御部 CCRとLCR

ASIC(AFFROC)の設計フロー

-- Readout FPGA --

READOUTの全体構成 最終のJunction box の中?

2nd AISCまでの VMEバス読み出しシステム

3rd ASIC 読み出しシステム

SEABAS2 developed by SOI group

SEABAS2ベースのASICテストシステム

READOUTの構成 その3 UserFPGA

寄り道 FPGAとは Vertex5を例に概要説明

FPGA寄り道 その2 AlteraとXilinx

FPGA寄り道 その3 FPGAの回路開発

FPGAのマクロを使う例

FPGA 入力同期のためのクロック系

ラダー試作以降のデータ転送

FPGA CCDクロック生成

VTX検出器のデータ転送レート JunctionBoxあたり

- - まとめ - -

- - 参考資料 - -

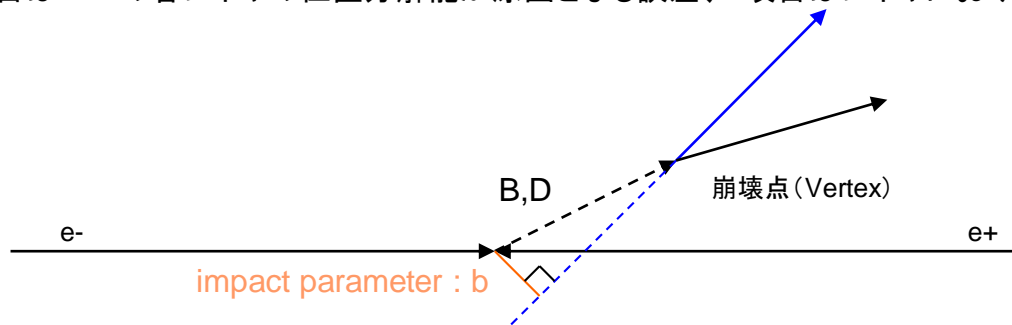
ILC VTXの役割・要求性能

ILC物理にとってジェットのフレーバータグ(元のクォークの同定)は必須。
D中間子、B中間子などの飛程 $\sim 100\mu\text{m}$ の短寿命の粒子の正確な崩壊点を、生成された粒子のトラックから求めることがVertex検出器に求められる。

Vertex検出器として必要な性能は impact parameter resolution : σ_b であらわされ、ILC VTXで必要な分解能は

$$\sigma_b < 5 \oplus 10/p \sin^{3/2} \theta \mu\text{m}$$

1項目はVTXの各レイヤの位置分解能が原因となる誤差、2項目はレイヤにおける多重散乱で方向が振れることによる誤差。



この分解能をVTX検出器の個別の仕様に読み変えると

- 衝突点近傍の位置分解能 $3 \mu\text{m}$ 以下
- 物質厚 $0.15\% X_0/\text{layer}$ 以下
- 1レイヤ目までの距離 $\sim 1.6 \text{ cm}$;
- ピクセル占有率 a few %.

$$\oplus \text{ 演算子の意味 } a \oplus b = \sqrt{a^2 + b^2}$$

VTX候補の3方式

1) CMOS Pixel Sensors (CPS)

SiセンサーとCMOS回路を高抵抗エピ基板の上に作る。

L1 pixel size 16um \square binary encoding

L2,L3 pixel size 35um \square 3-4bits

power pulse

$$\sigma_{sp} < 3um$$

$$\sigma_{sp} < 4um$$

2) Depleted Field Effect Transistor (DEPFET) sensors

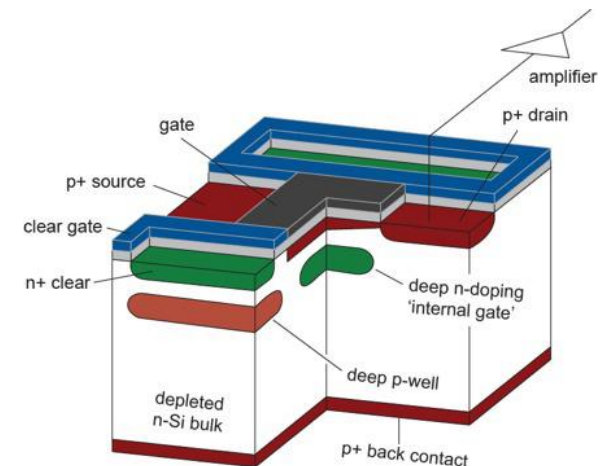
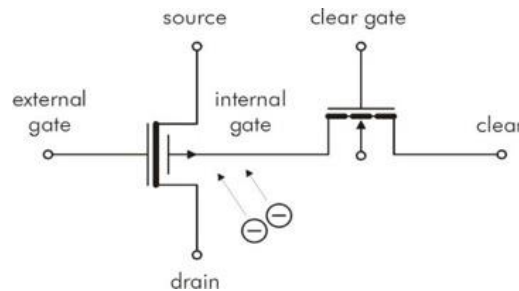
独自のデバイス構造。埋め込みゲートにたまった信号電荷で増幅。S/N良

BELLII のVertexに採用、2015年インストール。

pixel size 20um \square

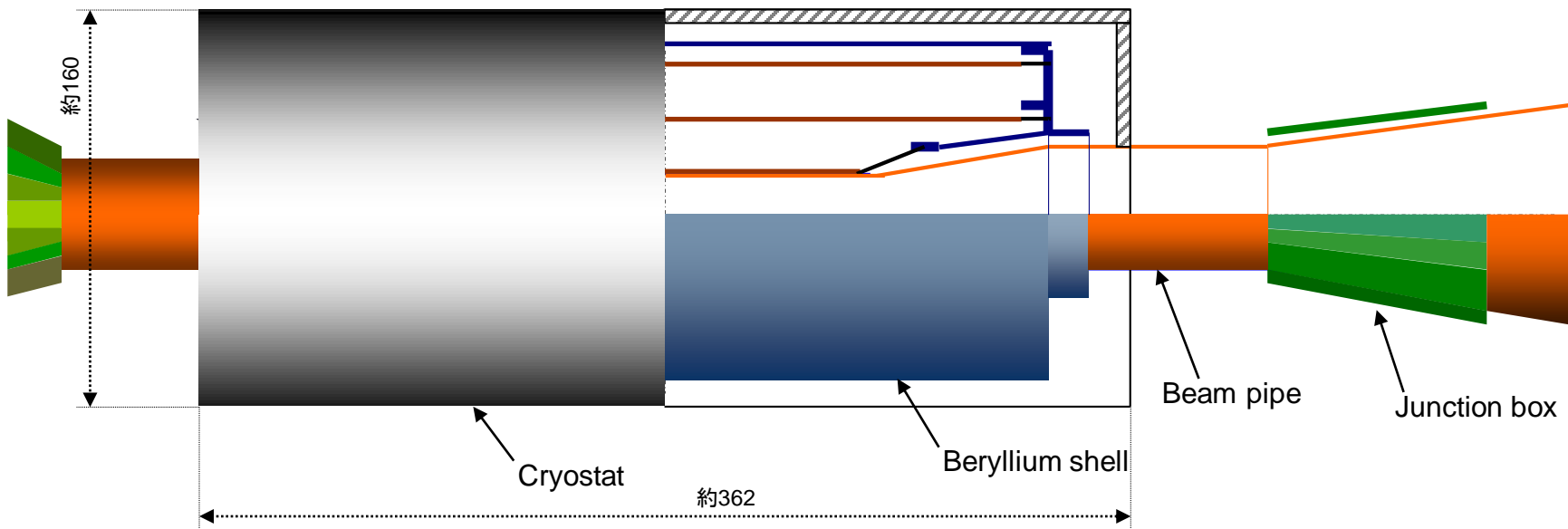
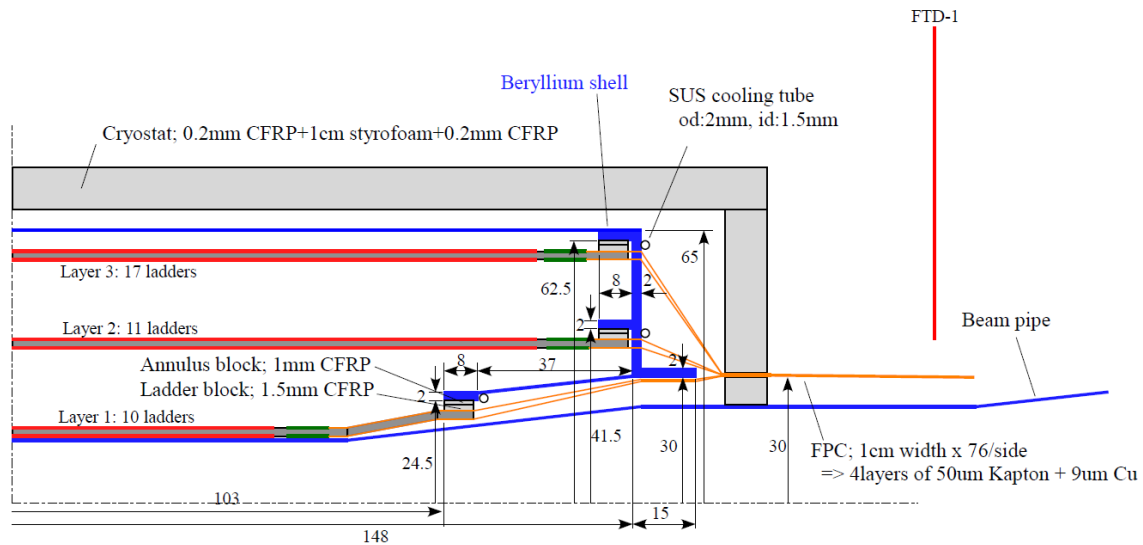
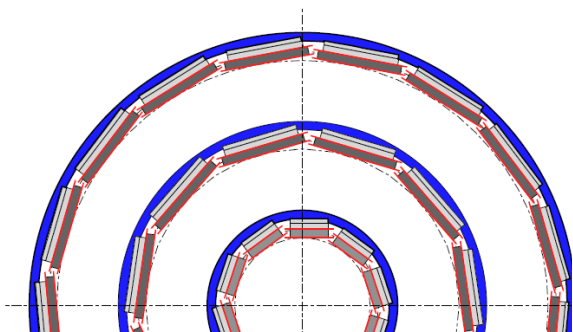
power pulse

5層、片面のラダー



3) Fine Pixel CCD (FPCCD)

FPCCD VTXの全体構成(最終形態)



ラダーの構成

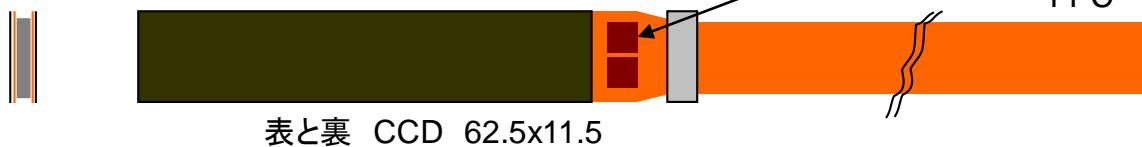
来年度試作開始

L2,L3層ラダー

142



L1層ラダー



断面の詳細

CCD 厚さ50umに研削

22.5/11.5

20/9

RVC (carbon form)

FPC

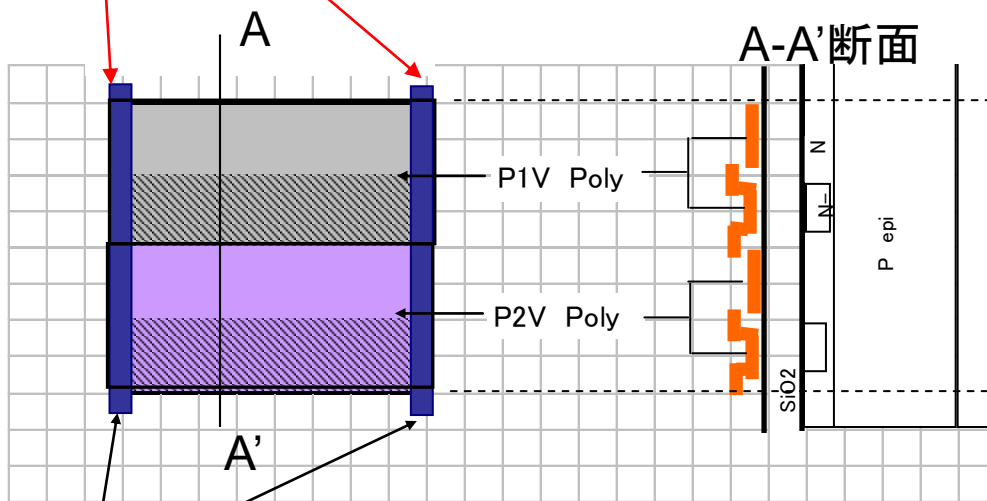
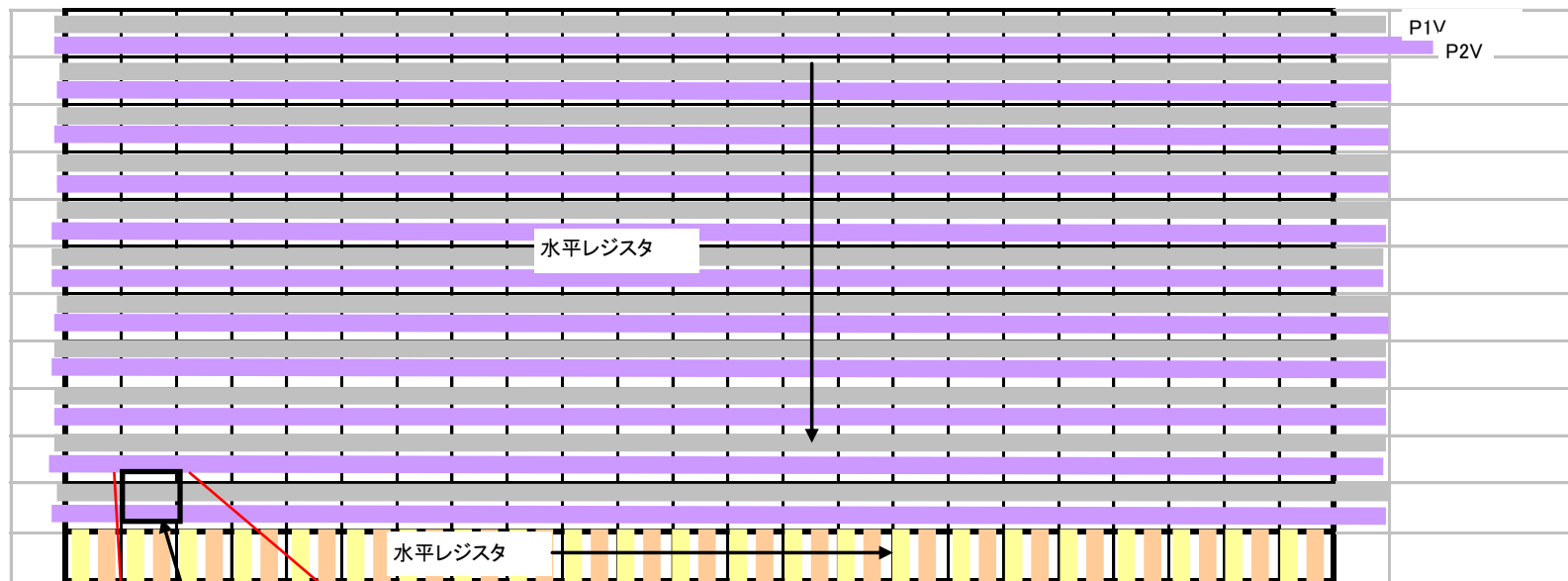
CFRP

CCD

		t (μm)	Total t (μm)	X0 (%)	
Si		50	50	0.0534	
Epoxi		10	2000	0.0028	
FPC	Cu	9		0.0125	
	Kapton	51		0.0179	
Epoxi		10		0.0028	
CFRP		100		0.0383	
Epoxi		20		0.0056	
RVC		1600		0.0300	
Epoxi		20		0.0056	
CFRP		100		0.0383	
Epoxi		10		0.0028	
FPC	Cu	9		0.0125	
	Kapton	51		0.0179	
Epoxi		10		0.0028	
Si		50		50	0.0534
Total				2100	0.2966

CCDセンサー

CCDの構造と信号 (1)

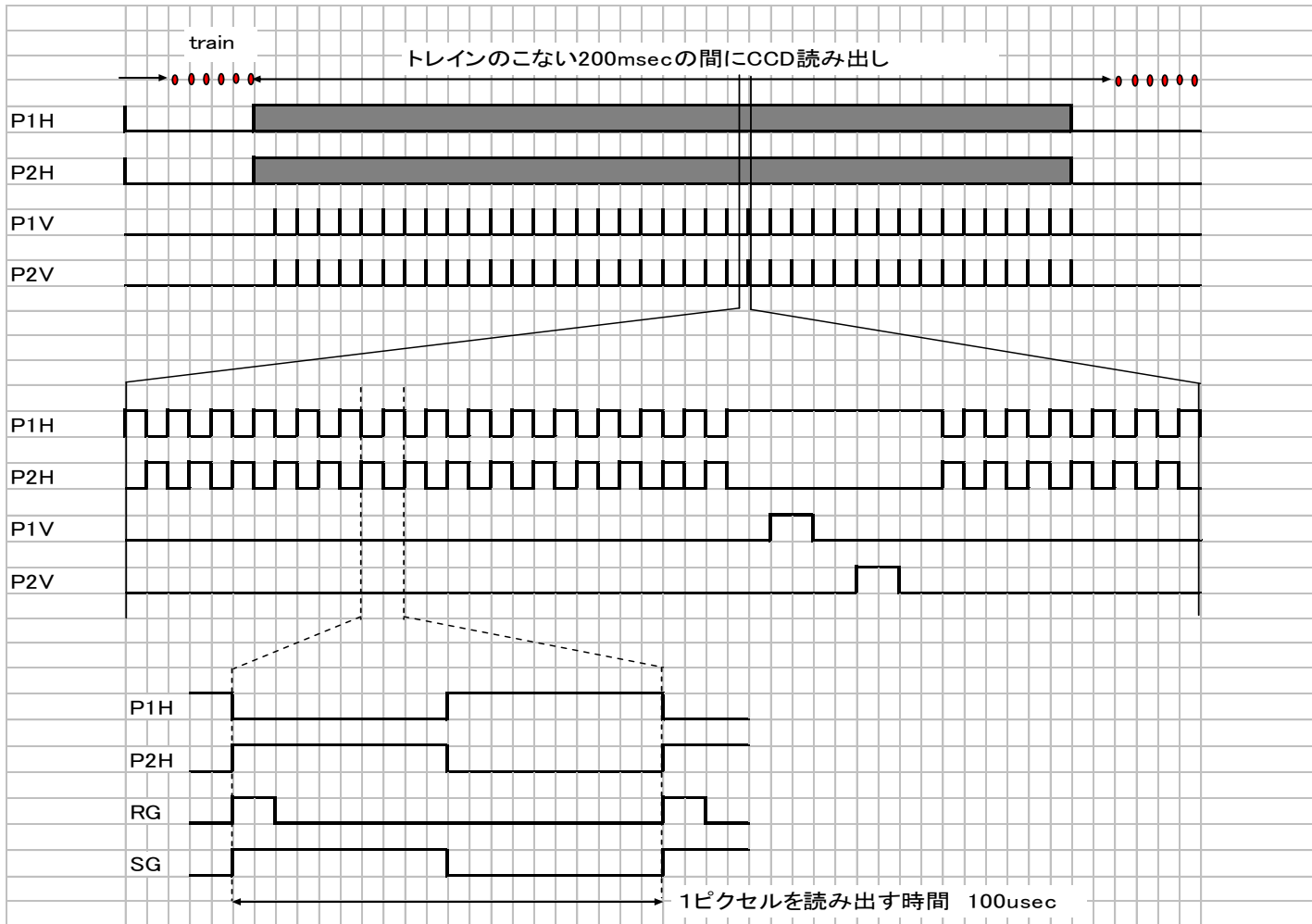


1画素 5um□目標

P+channel stopper

CCDの構造と信号(2)

CCDの読み出し動作

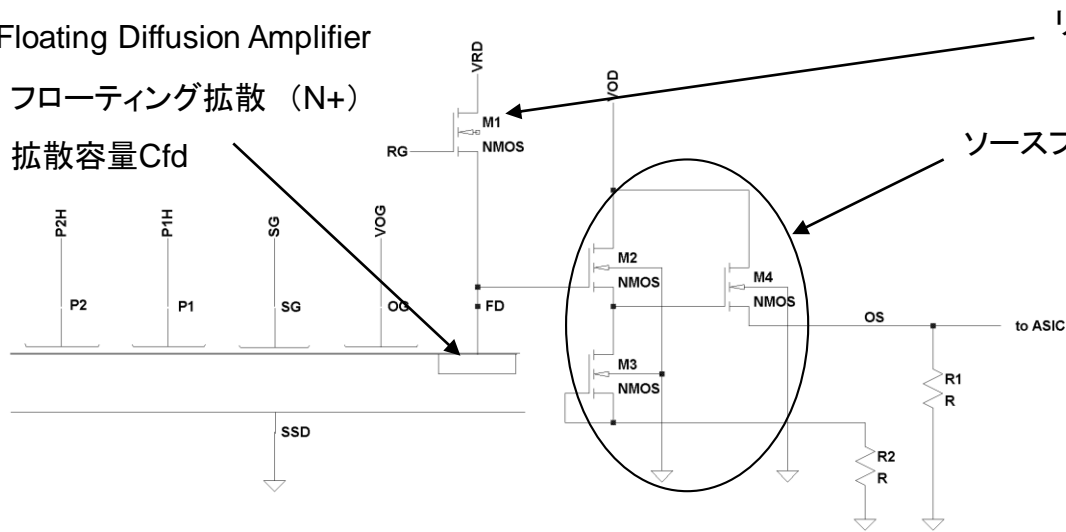


CCDの構造と信号 (3) CCD出力部

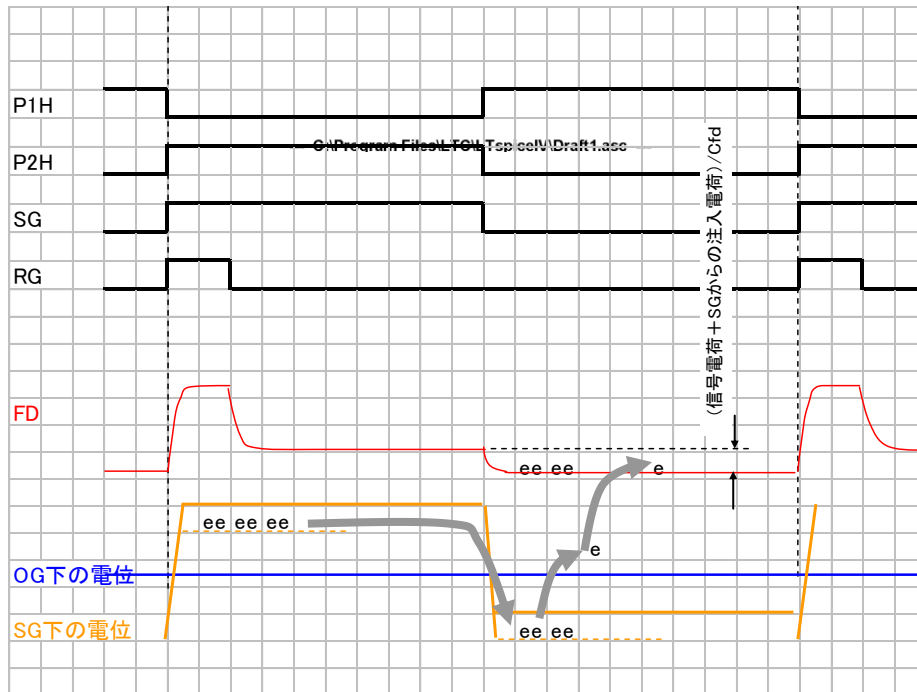
Floating Diffusion Amplifier

フローティング拡散 (N+)

拡散容量Cfd



信号(電荷)はFD(floating diffusion)で電圧になり、ソースフォロワを介して出力ピンに出る。



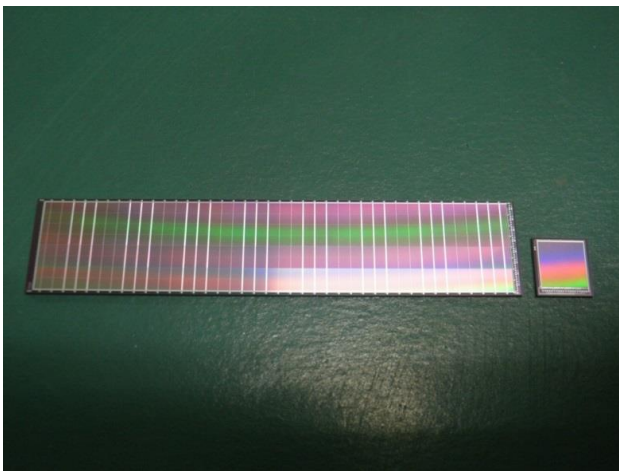
VTXのFPCCDの大きさ

CCDセンサ サイズ

L1	62.5mm x 11mm	H:12,500画素	V:128画素x16ch	画素 5um□
L2,L3	125mm x 22mm	H:12,500画素	V:128画素x16ch	画素10um□

L1,L2,L3 チャンネルあたり1.6M画素

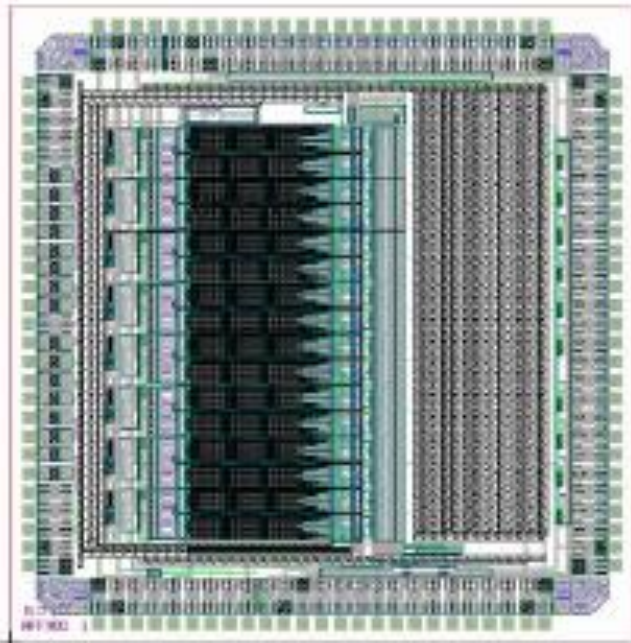
200msecで読み出すため8M画素/secの読み出し速度が必要→10Mcps



左の写真左側はL1用CCDと同サイズの試作品

ASIC

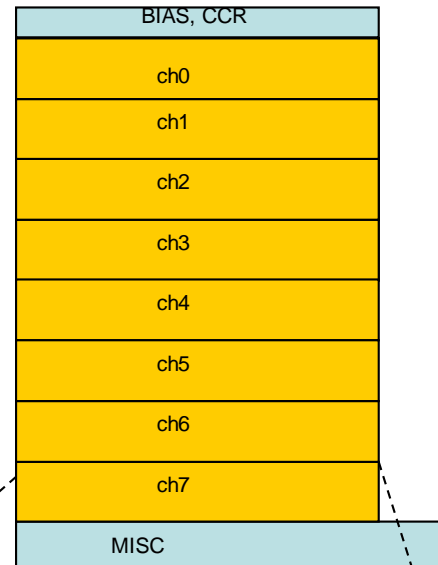
ASIC “AFFROC” 全体構成



3次試作ASIC “AFFROC”

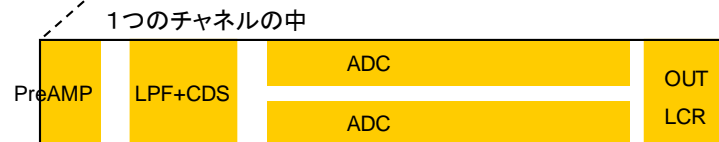
3.7x3.75 mm \square

0.25 μ m Mixed Signal CMOS process
(TSMC)



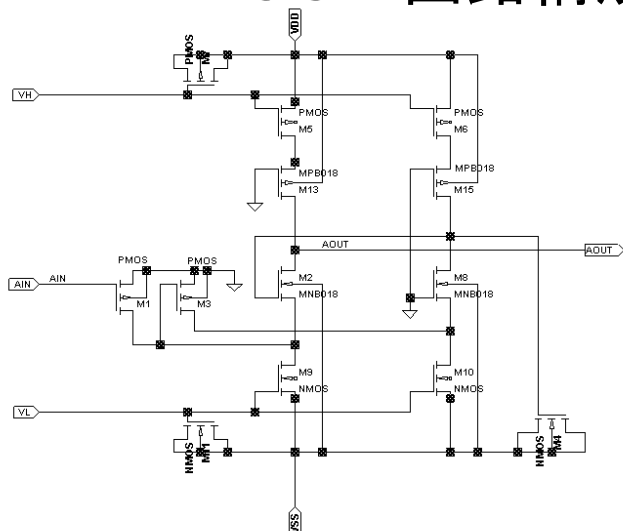
3次ASIC “AFFROC”には8回路のAMP-ADCのほかに、全体を制御するレジスタ(CCR)、バイアス回路、タイミング回路等が含まれる。

主要部分はch0からch7までのAMP-ADC部。

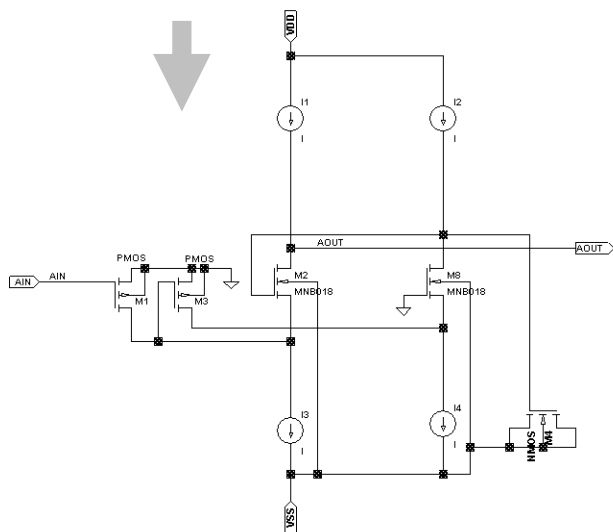


1つのチャンネル内はPreAMP部、LPF特性を持つCDS部、2つのADC、出力部、及びチャンネルを制御するレジスタ(LCR)を含む。

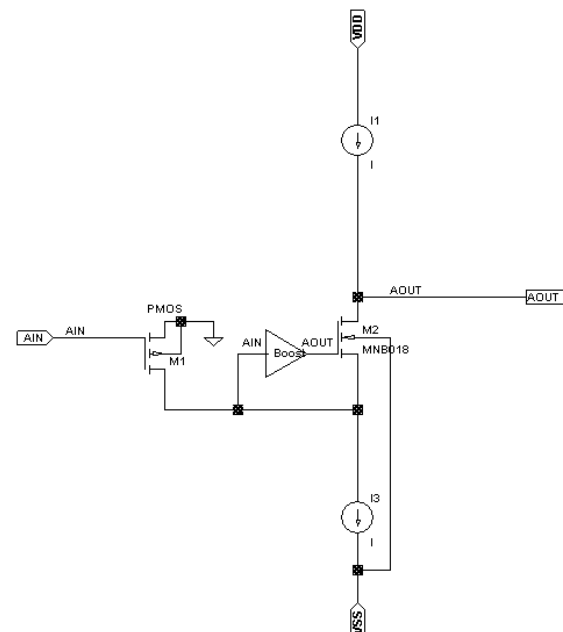
ASIC “AFFROC” 回路構成 PreAMP部



「レイアウト設計指示書」に書かれた基の回路図



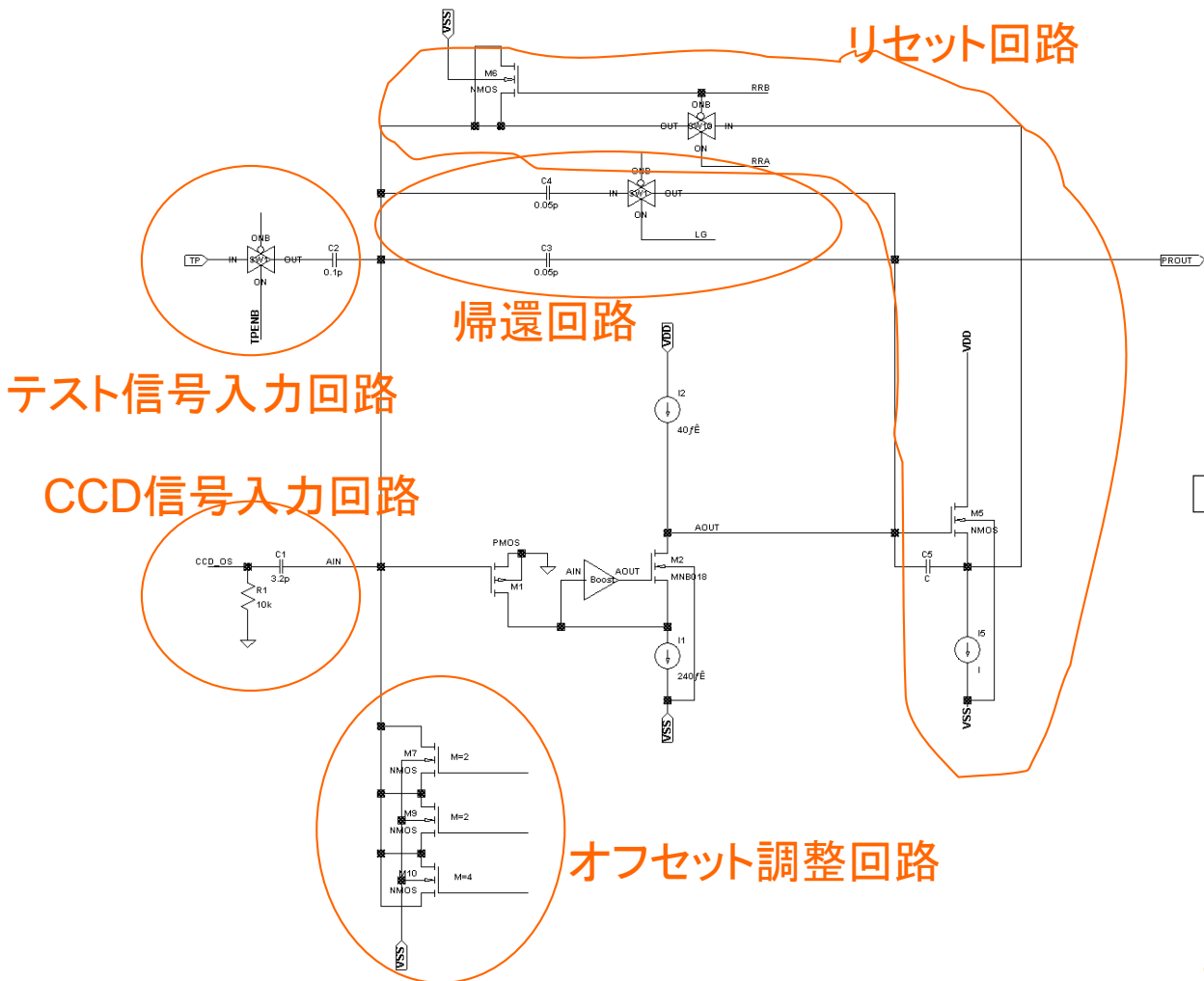
バイアス回路(カレントミラー)を見つける



エッセンスだけになった回路

Gain boosting hoolded cascade AMP

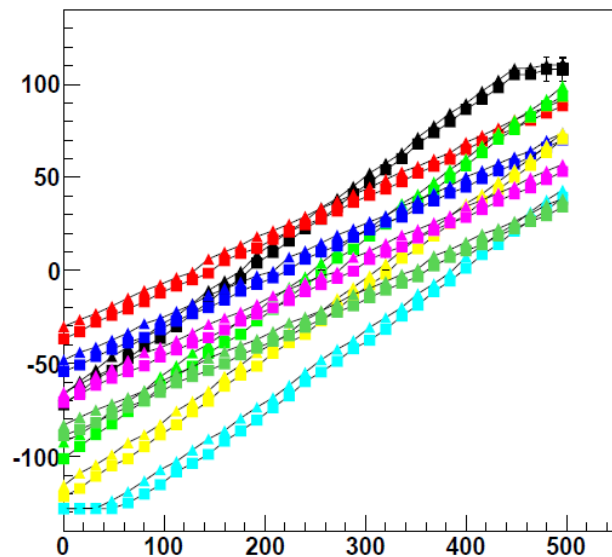
ASIC “AFFROC” 回路構成 PreAMP部



ゲインとオフセットを変える。

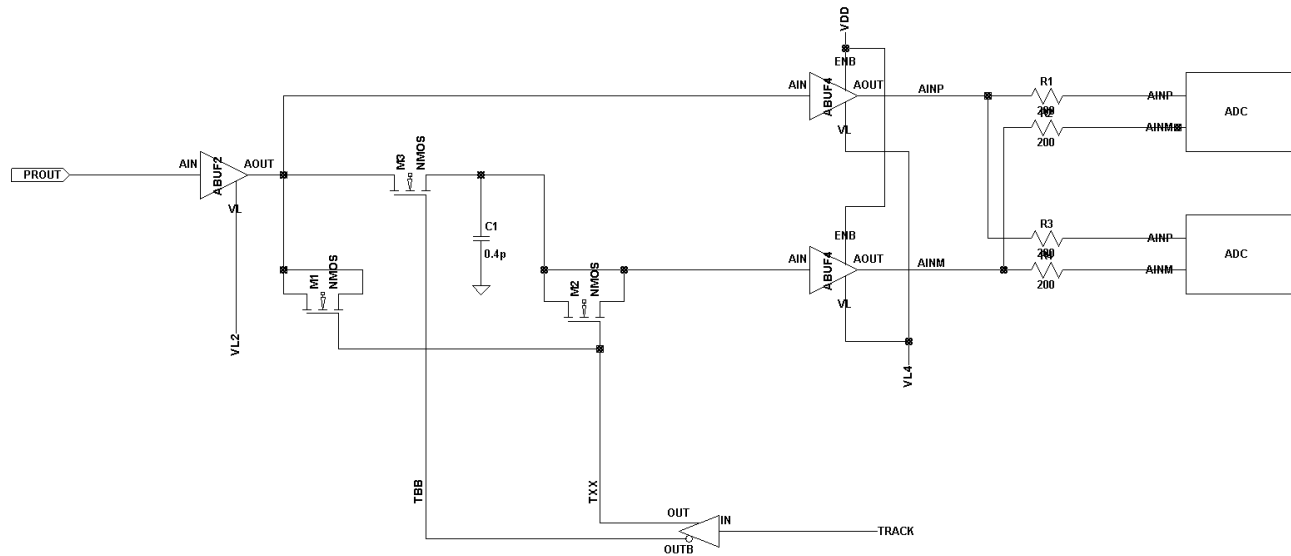
テスト信号入力からDACoutを入力

Channel linearity Even/Odd Pix



AMPのエッセンスと周辺の回路を見る。

ASIC “AFFROC” 構成 LPF+CDS

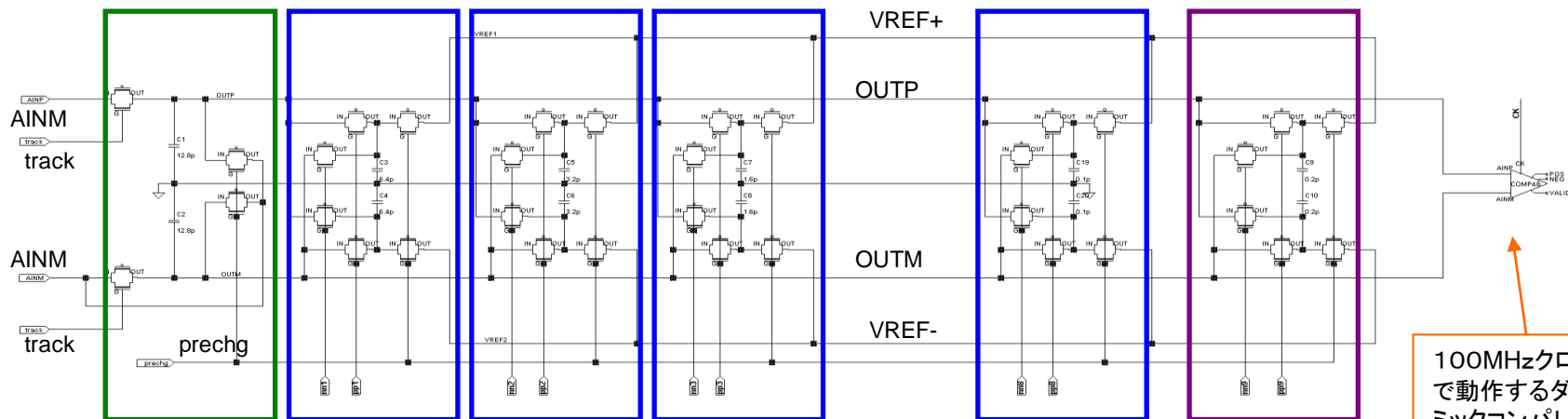


--- D:\LTSpiceData\AFFROC\?a???p\CDS.asc ---

ASIC “AFFROC” 回路構成 AD変換部（その1）

電荷再分配をする中核部分

低消費電力化のためSAR (successive-approximation-register 逐次比較方式)を採用。



入力回路

12.8pF
(128x0.1pF)

SWのM=64

最上位ビット

6.4pF
(64x0.1pF)

SWのM=64

次のビット

3.2pF
(32x0.1pF)

SWのM=32

最下位ビット

0.1pF
(1x0.1pF)

SWのM=1

チェックビット

0.2pF
(2x0.1pF)

SWのM=2

100MHzクロックで動作するダイナミックコンパレータ
1つのADCの中に唯一のコンパレータ。CKの立ち上がりエッジで判定。

容量は0.1pFのMIMキャパシタをユニットとし、並列接続で必要な容量を得る。それにより、正確な容量比を得る。

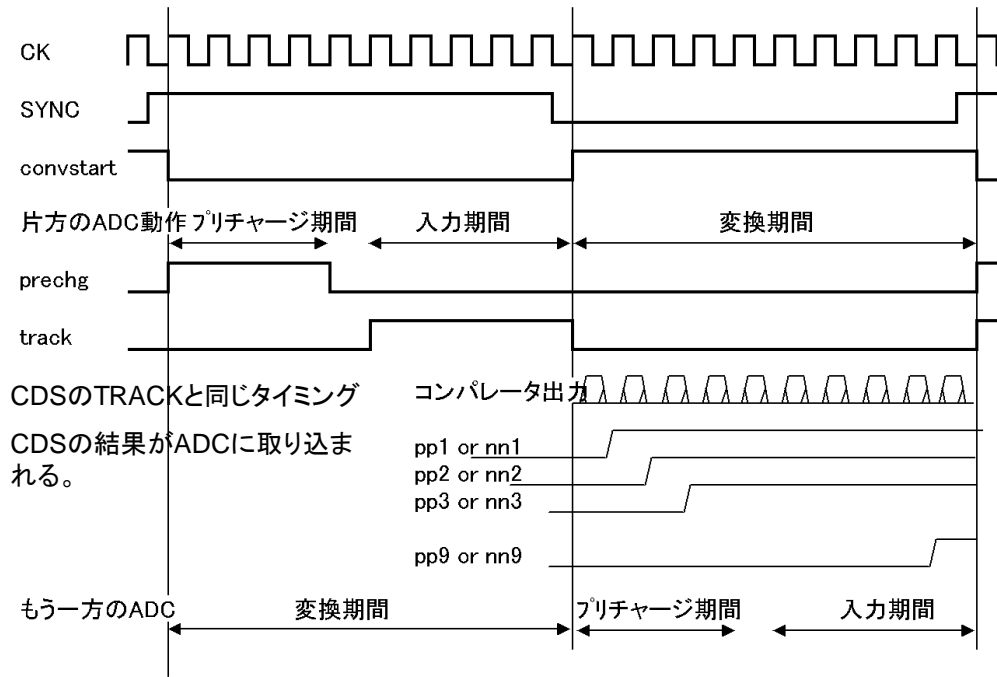
スイッチに使われるトランジスタもユニット化し、M=64はユニットを64個並列となる。これにより、トランジスタの寄生容量もキャパシタと同様に正確な容量比を実現する。

MIMはMetal-Insulator-Metal、4層と5層のメタル工程で作られるキャパシタ。(PIP (PolySi-Insulator-PolySi)より電圧非線形性少ない)

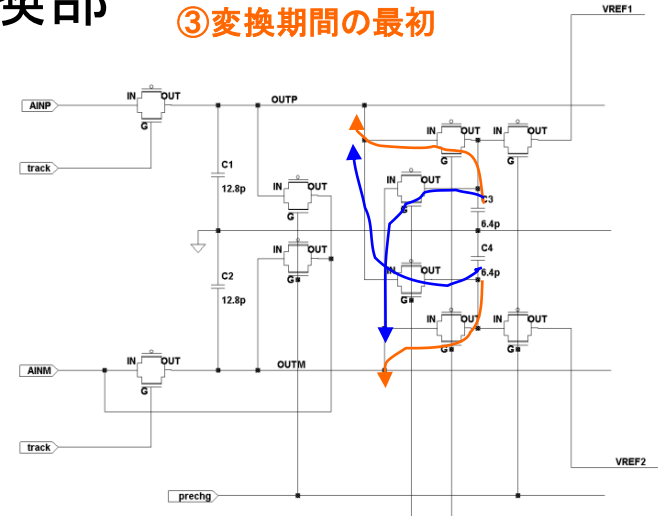
ノードOUTPとOUTMのチャージの差に注目する。 $Q_{OUTP} - Q_{OUTM}$

コンパレータが比較するのはこのチャージの差を容量で割った値の正負。

ASIC “AFFROC” 回路構成 AD変換部



③変換期間の最初



コンパレータの結果はpp1、nn1に記憶され、それに
じてSWが開き、OUTP、OUTMのチャージが増減する。

$$Q_{OUTP}' = Q_{OUTP} + [C_3 v_{refp}, C_3 v_{refm}]$$

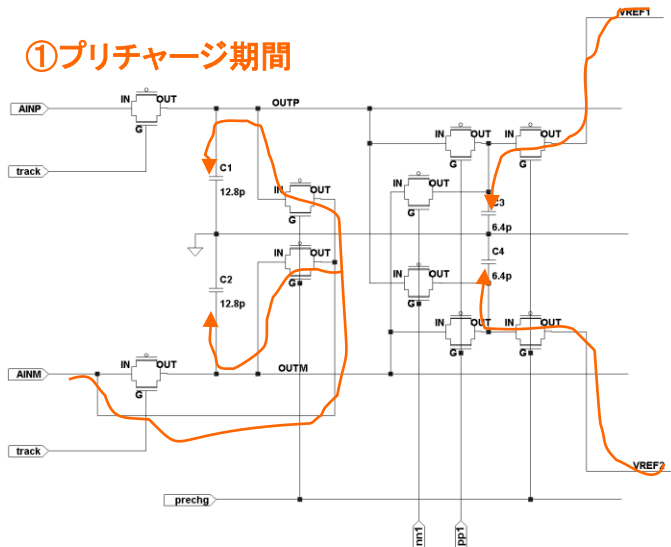
$$Q_{OUTM}' = Q_{OUTM} + [C_3 v_{refm}, C_3 v_{refp}]$$

$$Q_{OUTP}' - Q_{OUTM}' = Q_{OUTP} - Q_{OUTM} + C_3 [(v_{refp} - v_{refm}), (v_{refm} - v_{refp})]$$

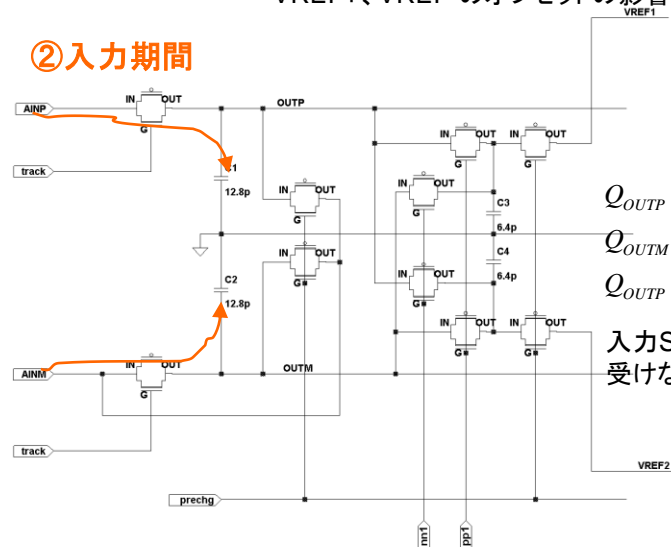
$$= Q_{OUTP} - Q_{OUTM} \pm C_3 v_{ref}$$

VREF+、VREF-のオフセットの影響を受けない

①プリチャージ期間



②入力期間



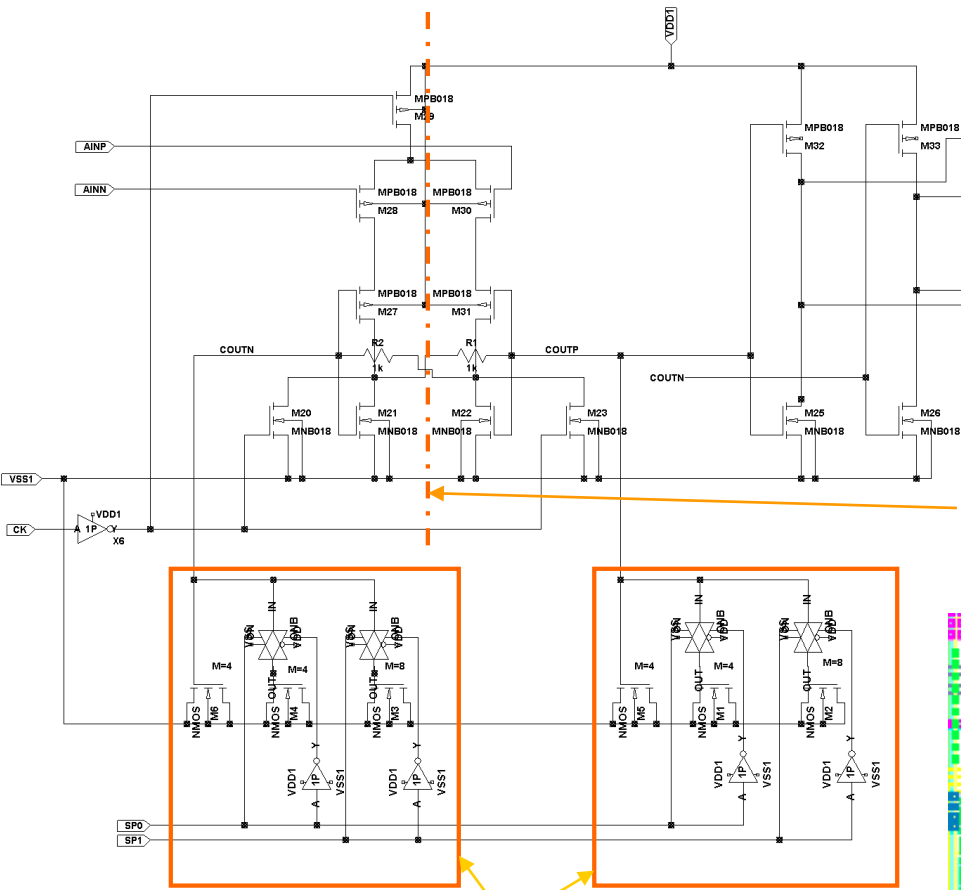
$$Q_{OUTP} = C_1 (v_{AINP} + v_{offset})$$

$$Q_{OUTM} = C_1 (v_{AINM} + v_{offset})$$

$$Q_{OUTP} - Q_{OUTM} = C_1 (v_{AINP} - v_{AINM})$$

入力SWのオフセットの影響を受けない

ASIC “AFFROC” コンパレータ

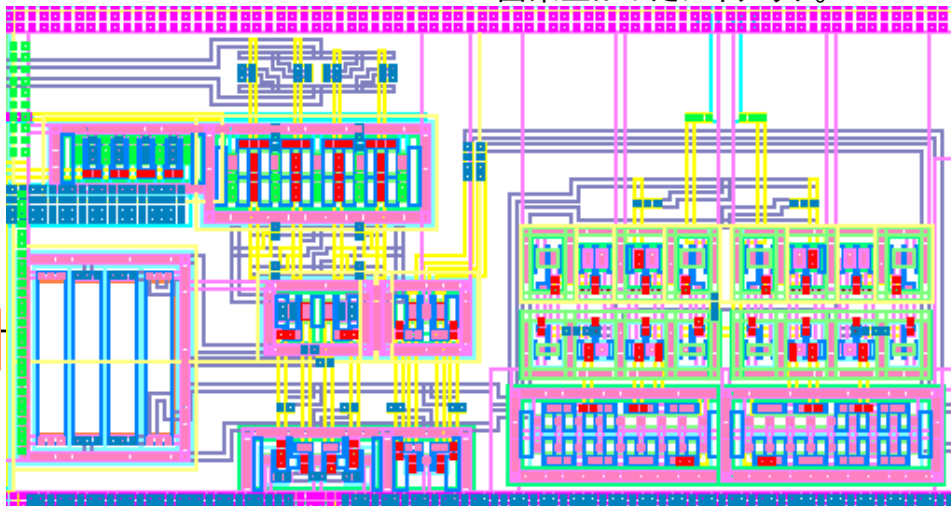


CK=0でリセット状態。
 CK=LOW→HIGHの立ち上がりの過程
 で入力AINP,AINNの差を増幅してラッチ
 する。

制御レジスタLCR中のSP[1:0]でコンパ
 レータの判定応答を制御。ADCのエラー
 がミニマムになるよう選択する。

回路上もレイアウト上も対
 称にすることでオフセットの
 無い特性が実現する。

出来上がったレイアウト。



Speed control 回路 Txのゲート容量の重み左から1,1,2

ASIC “AFFROC” 構成 制御部 CCRとLCR

CCRとLCRは初期化時に設定され、以後設定値を保持する。そのため対放射線設計がされている。

必要なピンはINITB,SELCK,SELIN,SELOUT,WRCK,WR,DIN,DOUTの8本。

CCR (Central Control Register: Bit12-0) 全チャンネル共通の設定をする。



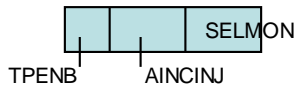
Bit0: GL プリアンプの帰還容量Cfの選択
 GL=0のとき、Cf = 0.1pF GL=1のとき、Cf = 0.2pF
 ゲインは外部の結合容量CinとCfによって次式のように決まる。

Bit1: DCTPB TP端子にDCレベルを入れて内部でパルスが発生するか、TP端子からパルスを入れるかを選択する。
 DCTPB=LOWのとき、DCレベル。 DCTPB=HIGHのとき外部からパルス入力。
 内部で発生するパルスはTRACKと同じタイミングとなる。

Bit3-2: SP[1:0] コンバータ特性調整容量の選択。全チャンネル共通。
 Bit2 W/L/M=0.76/0.76/4のゲート容量を有効にする
 Bit3 W/L/M=0.76/0.76/8のゲート容量を有効にする

Bit12-4: chipID (Read only) CCRが選択されない、またはWR=0でライトクロックWRCKが出ると110000001がセットされる。

LCR (Local Control Register: Bit0-4) 各チャンネルにあり、各チャンネルの設定をする。

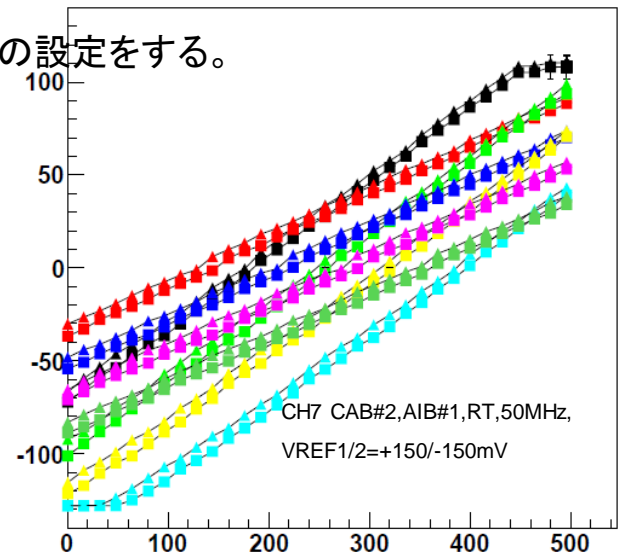


Bit1-0: SELMON[1:0] MONOUTA/Bに出力されるCHANI内部信号を選択する
 [1:0] MONOUTA MONOUTB
 00 --- ---
 01 AINP AINM (MONSEL1)
 10 AOUT AHOLD (MONSEL0)
 11 --- ---

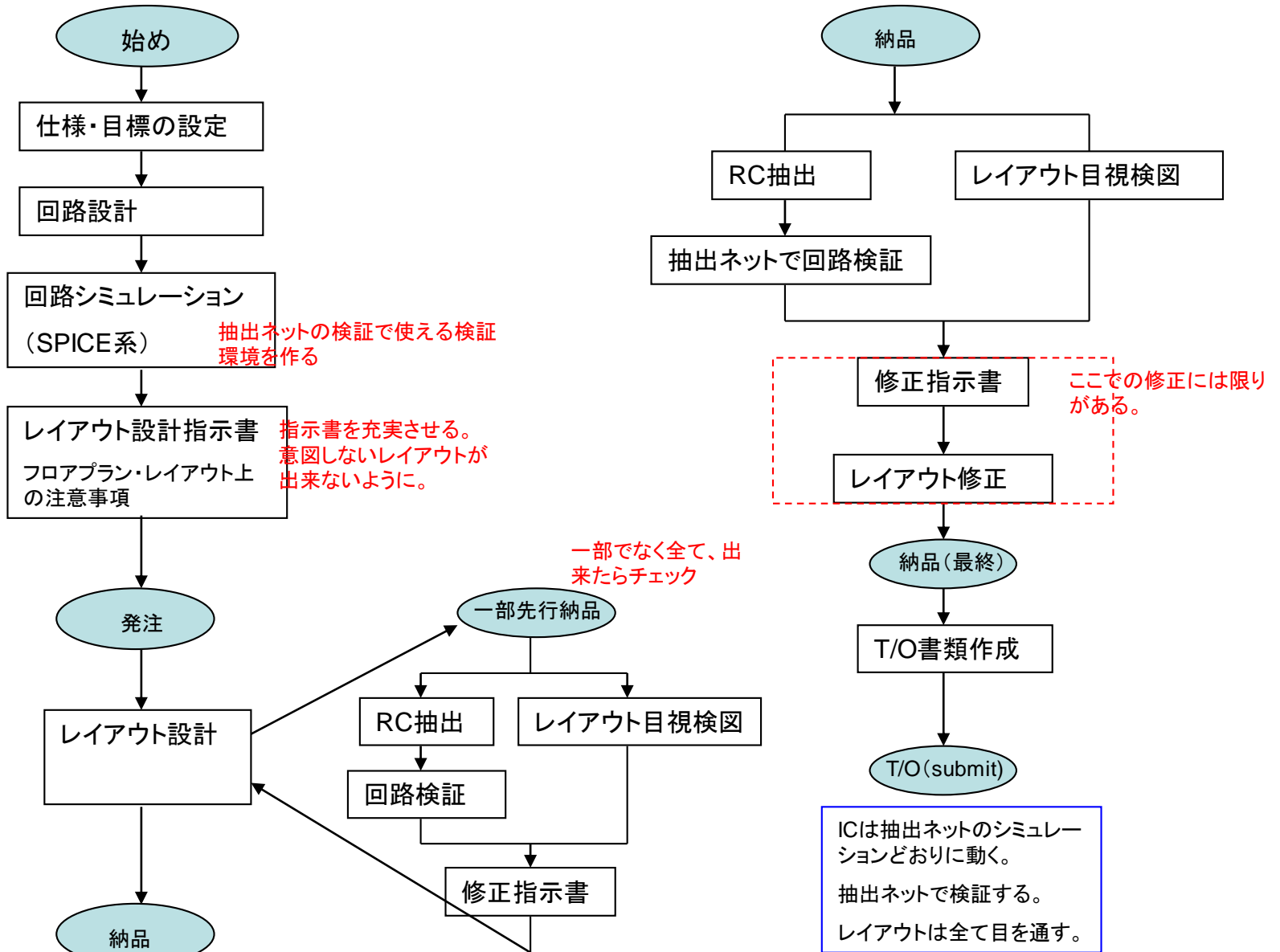
Bit3-2: AINCINJ[1:0] AIN charge injection Tx contol
 Bit2 W/L/M=0.76/0.24/2 によるチャージインジェクションを有効にする
 Bit3 W/L/M=0.76/0.24/4 によるチャージインジェクションを有効にする

Bit4: TPENB TPENB=0のときTP端子からの信号がプリアンプPRCに入力される

Channel linearity Even/Odd Pix

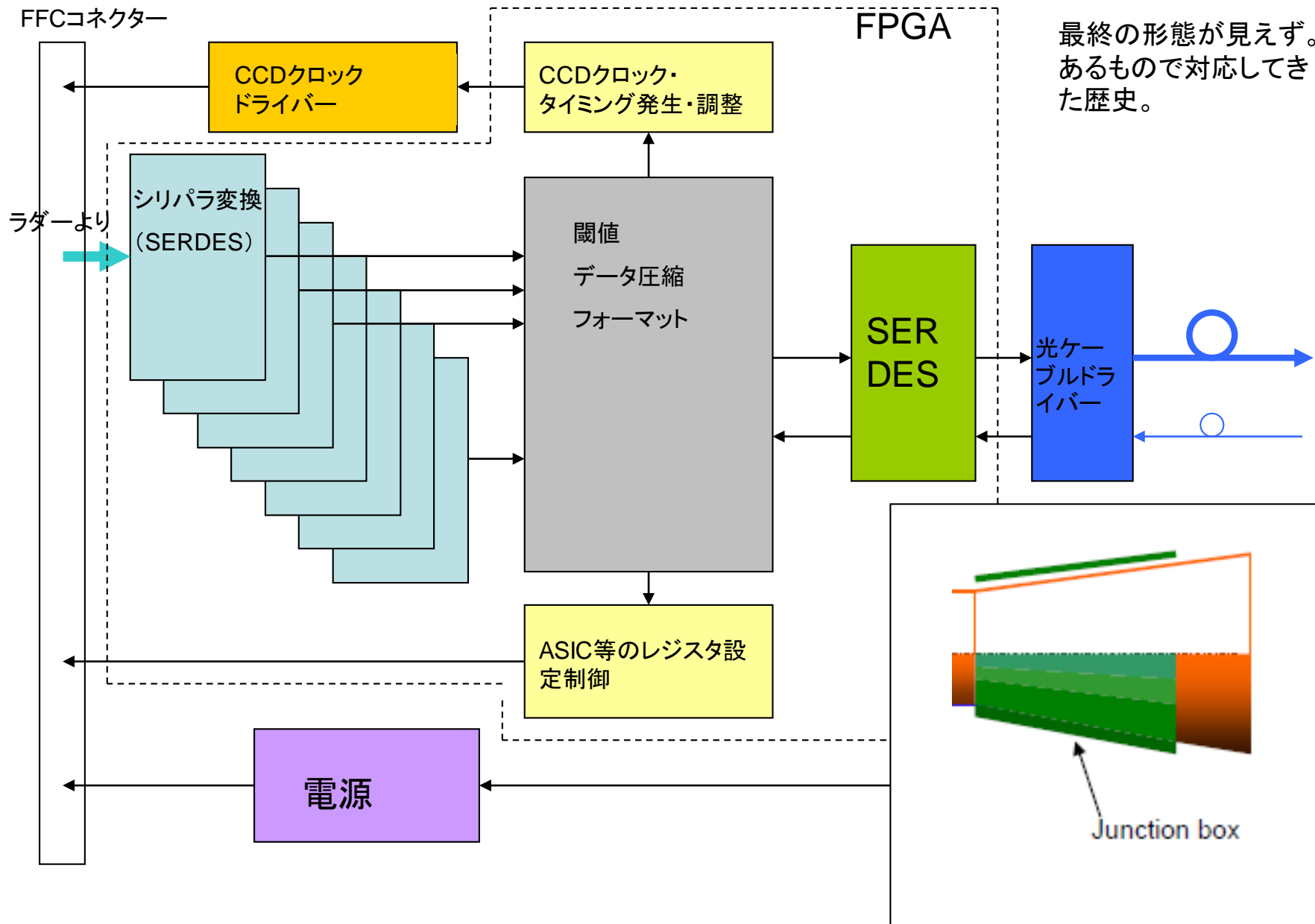


ASIC (AFFROC)の設計フロー (レイアウト設計を外注する場合)

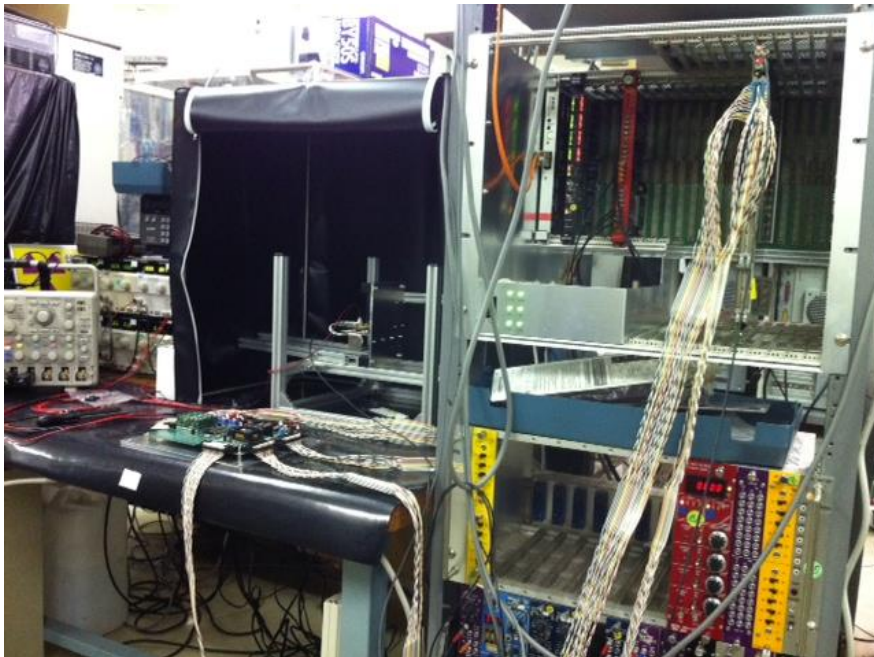
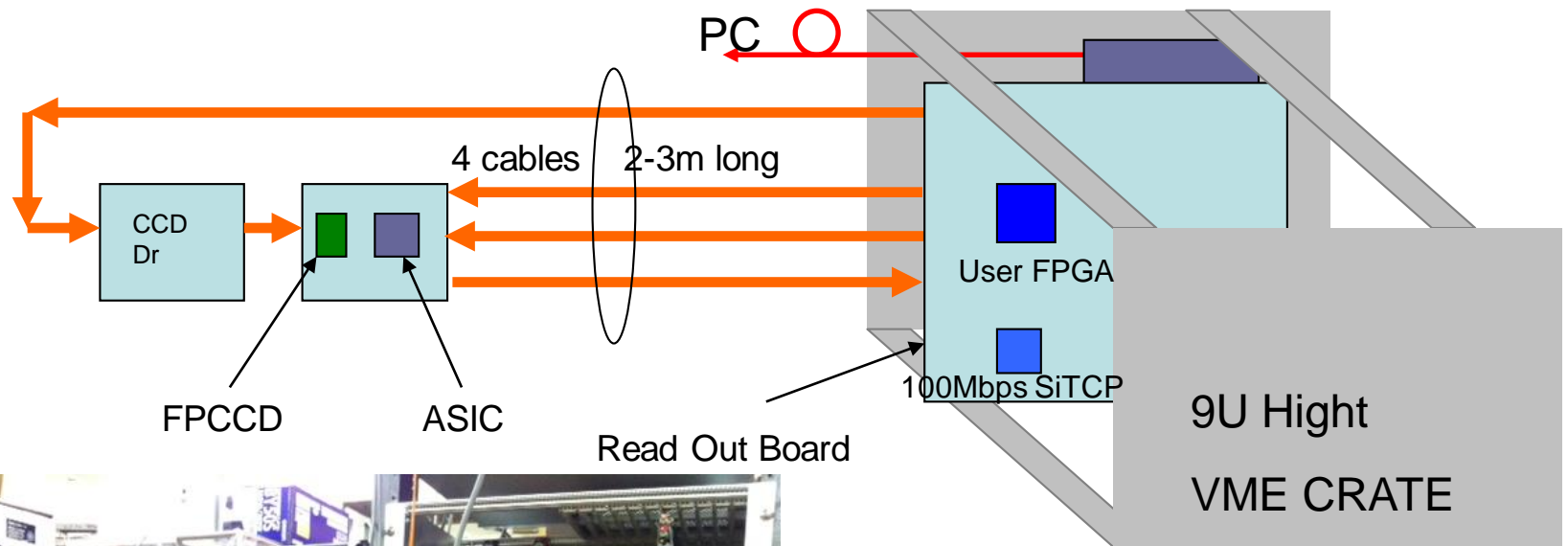


READOUT (ASICの後)

READOUTの全体構成 最終のJunction boxの中？



2nd AISCまでの VMEバス読み出しシステム



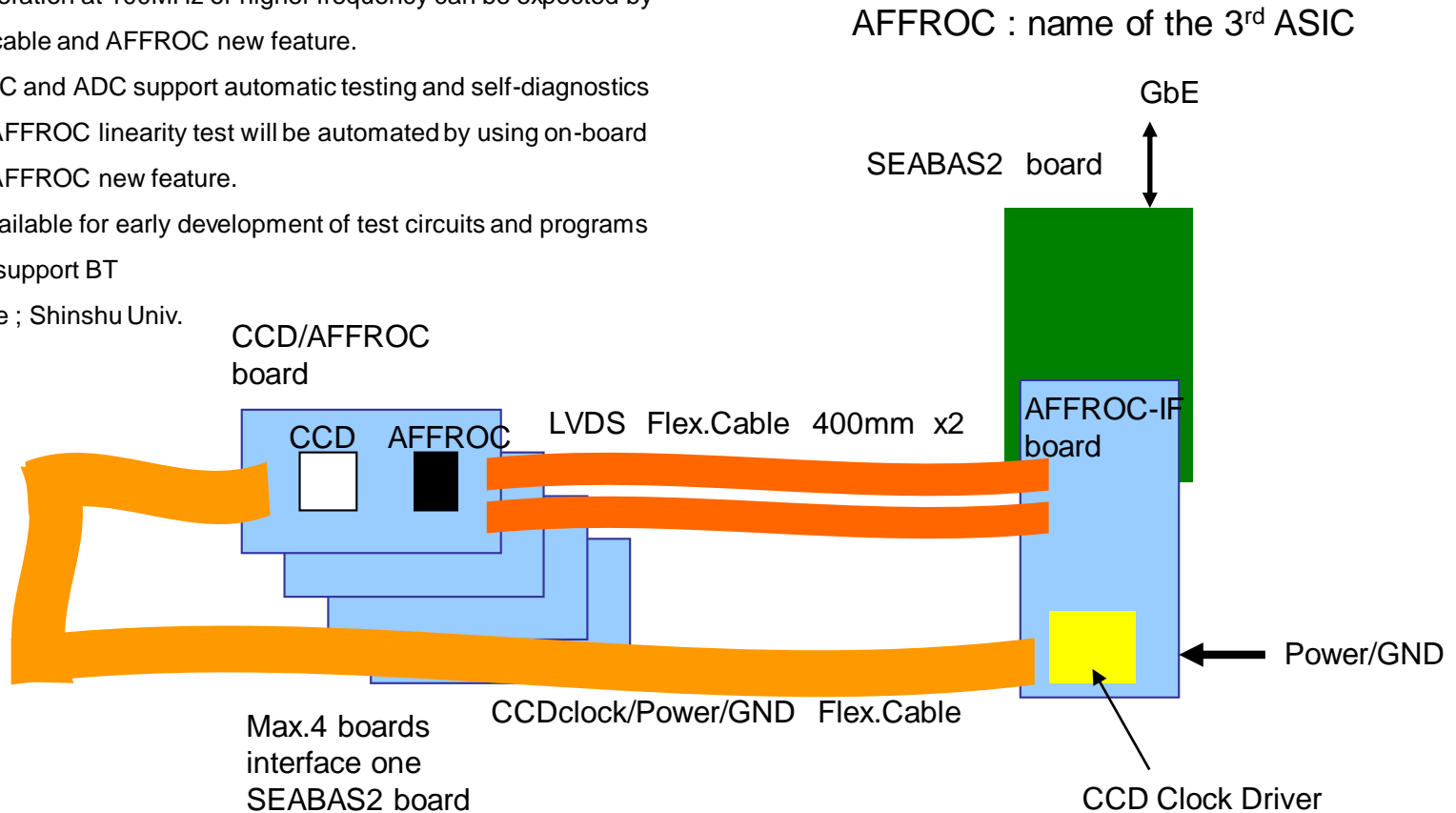
- 大きな(9U)リードアウトボード、
- 大きなクレー
- 長いケーブル
- 100Mbps SiTCP
- UserFPGA Spartan3(Xilinx社)

3rd ASIC 読み出しシステム

SEABAS2 base AFFROC Test System

Features

- Employ SEABAS2 (1GbE, ADC and DAC on board, compact size)
- Shorter and less cables (FFC support LVDS spec.)
 - Reliable operation at 100MHz or higher frequency can be expected by this LVDS cable and AFFROC new feature.
- On board DAC and ADC support automatic testing and self-diagnostics
 - example: AFFROC linearity test will be automated by using on-board DAC and AFFROC new feature.
- SEABAS1 available for early development of test circuits and programs
- Compact to support BT
- Additional site ; Shinshu Univ.



SEABAS2 ボード (SOI group用)に開発された)

SEABAS2 仕様

- 入出力
 - 64pin connector x 4
 - NIM IN 4ch、OUT 2ch
 - Giga-bit Ethernet
 - 10pin connector for LVDS
- 12bit 65MHz ADC 16ch アナログ入力±1V
- 12bit DAC 4ch
- User FPGA (virtex5)
- 電源 +3.3V 3A



-User FPGA + SiTCP structure is the same as the previous VME base ROB.

-Most of logic circuits in the previous test system can migrate to the new

User FPGA of SEABAS2 board.

Previous User FPGA : Xilinx Spartan 3A family "XC3S700A"

1,472 CLB 360Kbit RAM

SEABAS2 User FPGA: Xilinx Vertex 5 family "XC5VLX50"

7,200 CLB 2,160Kbit RAM

Logic circuits to support four AFFROC may fit in one SEABAS2 board.

-1GbE is still bottle neck, to support four CCD+AFFROC, so we need some data compression technology. Or we have multi-SEABAS2 board option.

SEABAS2ベースのASICテストシステム

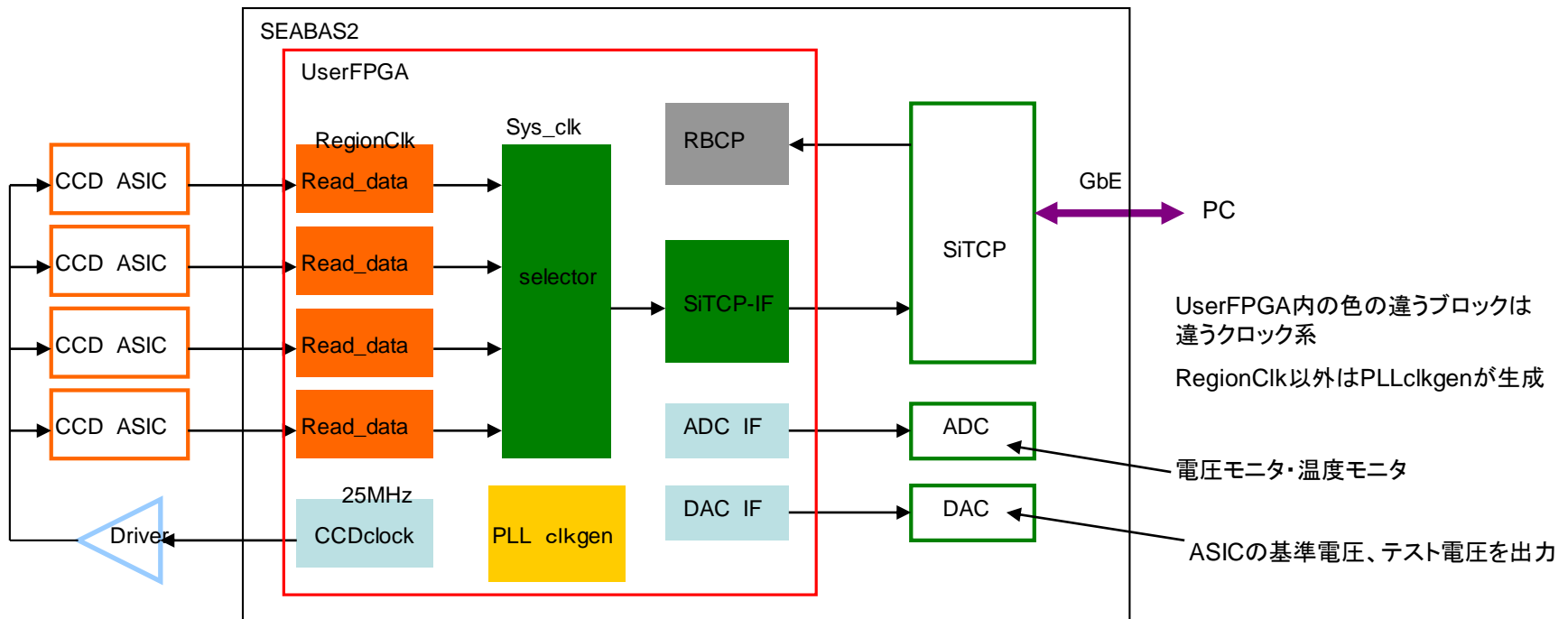


今のREADOUTの構成 UserFPGA

UserFPGA の主要な役割

- 1) ASIC(アナログフロントエンドAFE)の出力を読み込みPCにEithenet経由でデータを転送。
- 2) PCからのコマンドを基にASICの内部レジスタ設定。(シリアルインターフェース)
- 3) CCDのクロック信号発生。

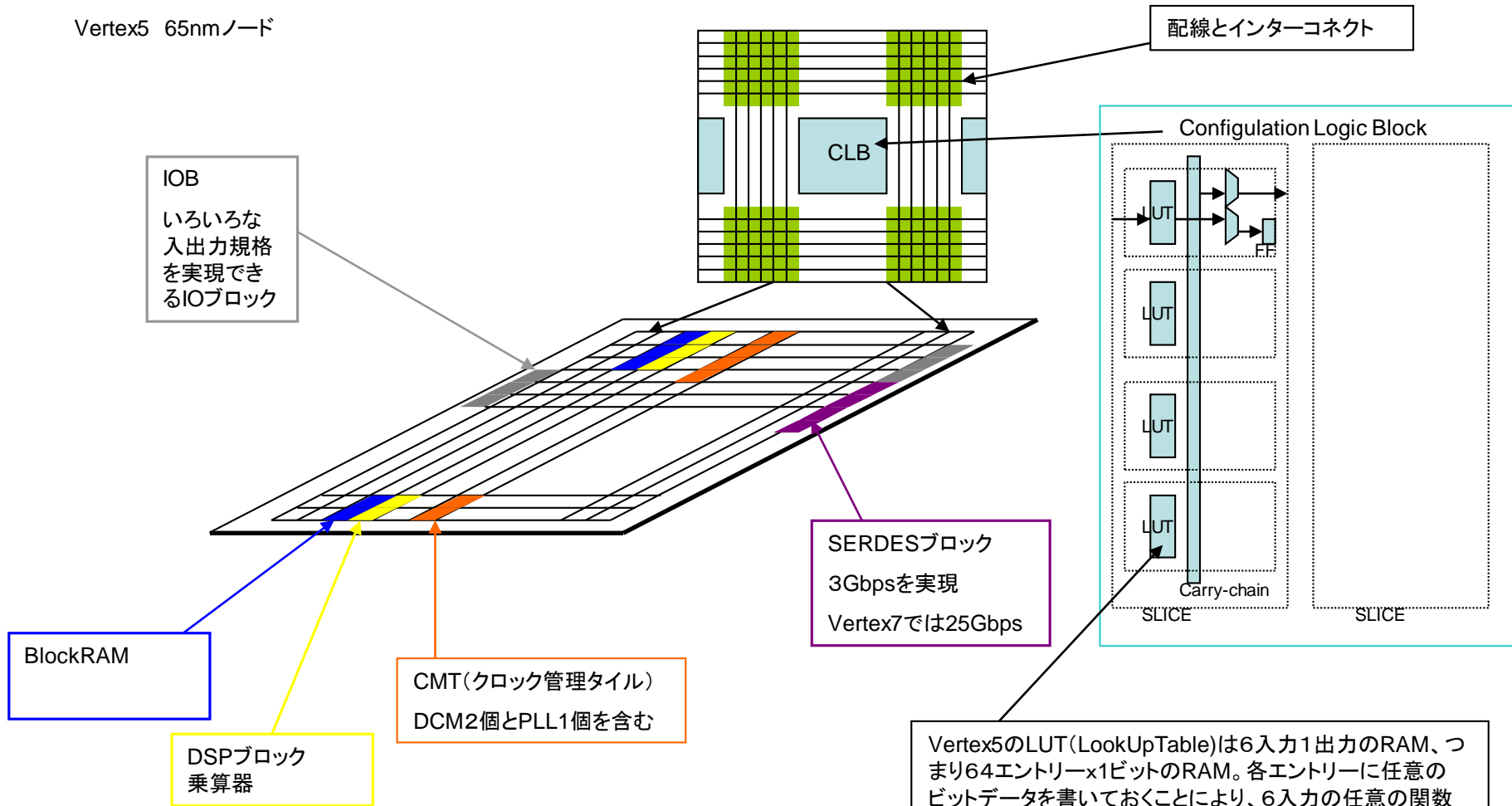
SEABAS2 base system のブロック図



寄り道 FPGAとは

Vertex5を例に概要説明

Vertex5 65nmノード



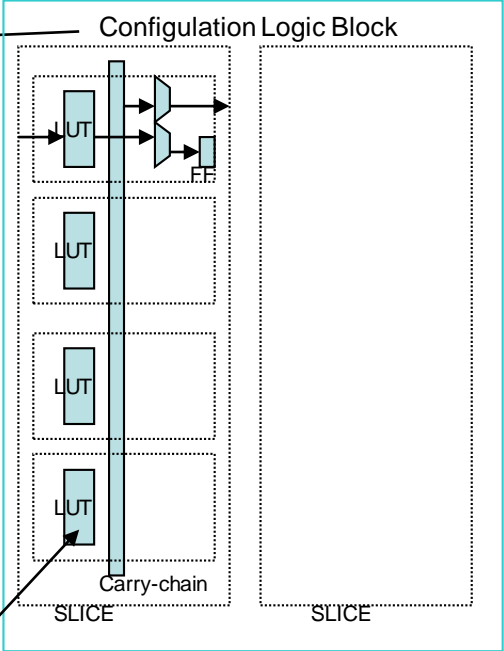
BlockRAM

DSPブロック
乗算器

CMT(クロック管理タイル)
DCM2個とPLL1個を含む

SERDESブロック
3Gbpsを実現
Vertex7では25Gbps

配線とインターコネク



Vertex5のLUT(LookUpTable)は6入力1出力のRAM、つまり64エントリー×1ビットのRAM。各エントリーに任意のビットデータを書きしておくことにより、6入力の任意の関数可以实现できる。

電源投入直後のFPGAは、各リソースがリセット状態で、各リソース間も配線接続されていないブランクの状態です。FPGAは、ビットストリームを保持するコンフィギュレーションメモリがSRAMをベースにしているため、電源立ち上げ時に外部記録メディアからビットストリームをロードします。ビットストリームを変えれば別のデザインになる。

内部の接続はコンフィギュレーションデータのビット設定でいろいろな組み合わせが可能になっている。
配線とインターコネクともコンフィギュレーションデータのビット設定でいろいろな配線間が接続される。

FPGA寄り道 その2 AlteraとXilinx

1985年 Xilinx社 最初のFPGA製品 XC2064 出荷
Xilinx社はFabless Company modelの第一号でもある。

FPGA 雑学コラム「FPGA の生みの親は？」

誰によって FPGA が考案されたか、ご存じですか。
実は 1984 年にロス・フリーマン (Ross Freeman) 氏が SRAM ベースの FPGA を考案し、バーニー・ボンダーシュミット (Bernie Vonderschmitt) 氏とジム・バーネット (Jim Barnett) 氏とともに Xilinx を創設したのが始まりです。1985 年には初の SRAM ベース FPGA、XC2064 がリリースされました。



XC2064 FPGA

ザイリンクスのWebより

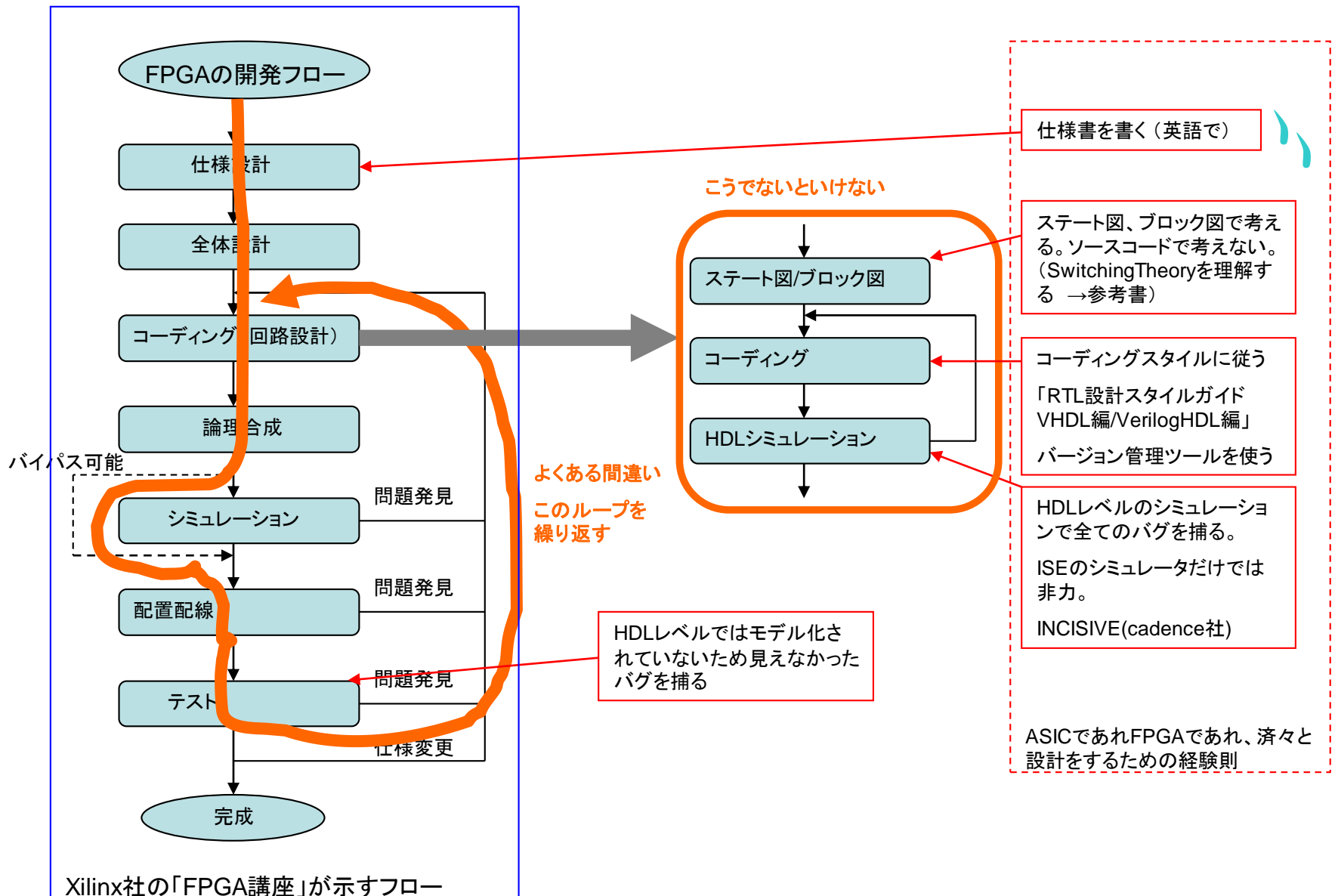
1992年	Altera社	FPGA製品FLEX8000シリーズ出荷	それまでの製品はCPLD
2001年	130nm	VertexII	
2003年	90nm	Spartan3	
2005年	90nm	Vertex4	
2006年		65nm	StratixIII
2007年	64nm	Vertex5	
2009年	45nm	Vertex6	40nm StratixIV
2010年			28nm StratixV
2011年	28nm	Vertex7	
2013年	20nm	VertexUltraScale	

(Xilinxは情報誌Xcellの特集記事の年、Alteraはデータシートの初版の年、StratixII以前は未調査)

最先端プロセスで製品を出している。FPGAはTSMC等のシリコンファクトリーの開発をドライブする分野になっている。

最新のFPGAを使いこなせば、最新のデジタル技術の設計が出来る。

FPGA寄り道 その3 FPGAの回路開発



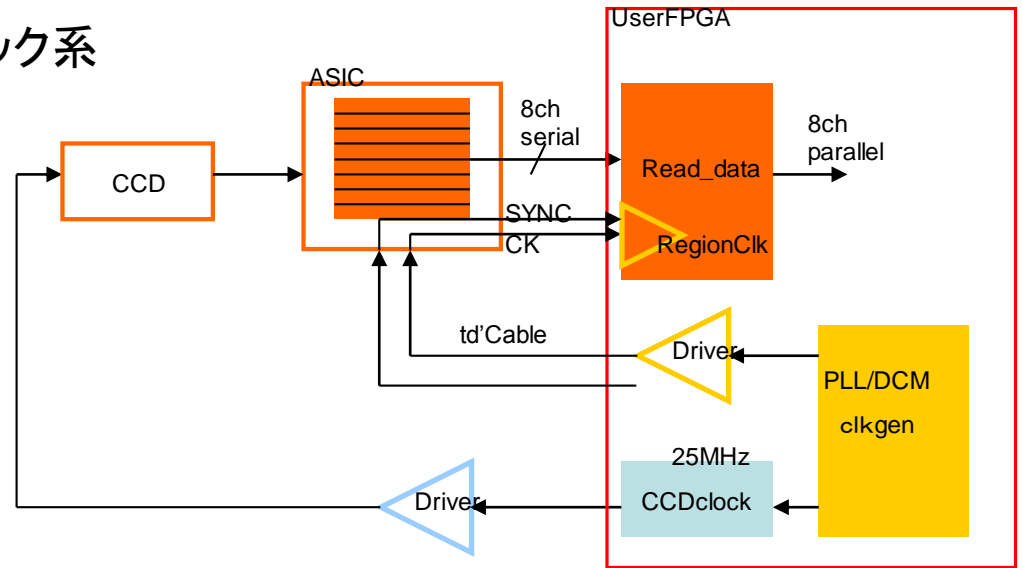
FPGAのマクロを使う例

FPGA 入力同期のためのクロック系

現時点:

ASICからの8チャンネルのシリアル信号は100Mbps。このデータはクロックケーブルの遅れ、ASIC内部での遅れのため、FPGAのクロックとは確定した位相関係がない。ASICはCKを出力する。このCKはデータのシリアル信号と固定した位相関係にある。ASICから受けたCKをRead_dataブロックを駆動するRegionClockとする。

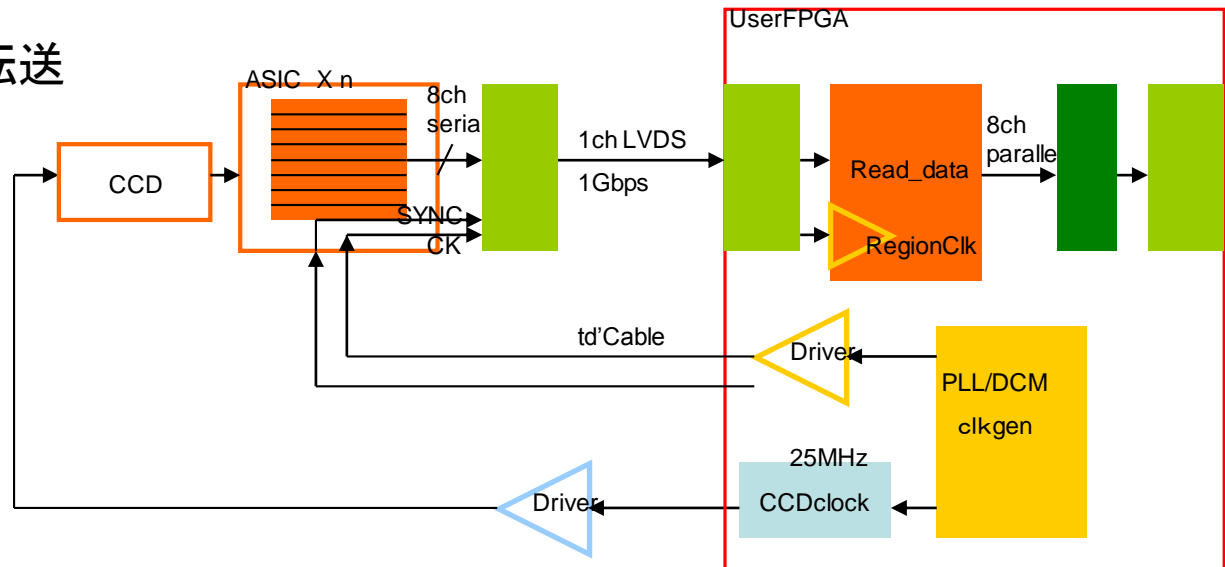
(RegionClockはVertex5から可能になった)



ラダー試作以降のデータ転送

チャンネルの増加、配線本数削減、FFC伝送路の損失を克服するためSERDES技術を利用する。

PCへのデータ転送もSiTCPの10Gbps対応がなければSERDES技術（具体的にはPCIe）を考える。



FPGA CCDクロック生成

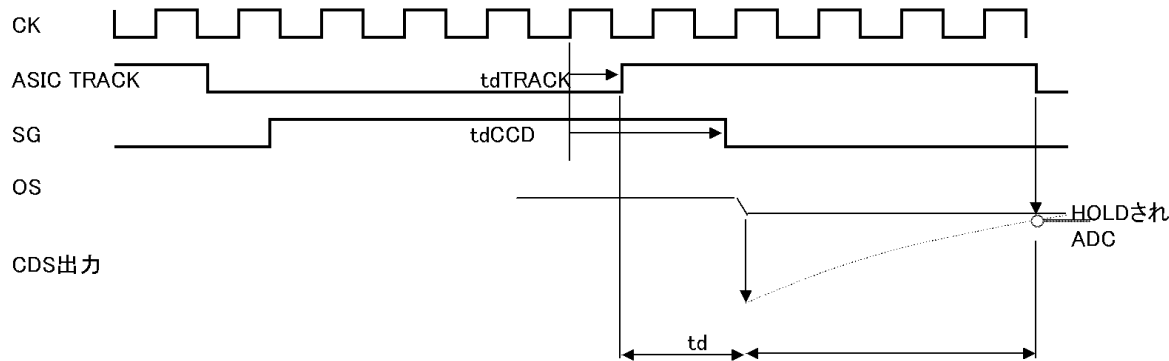
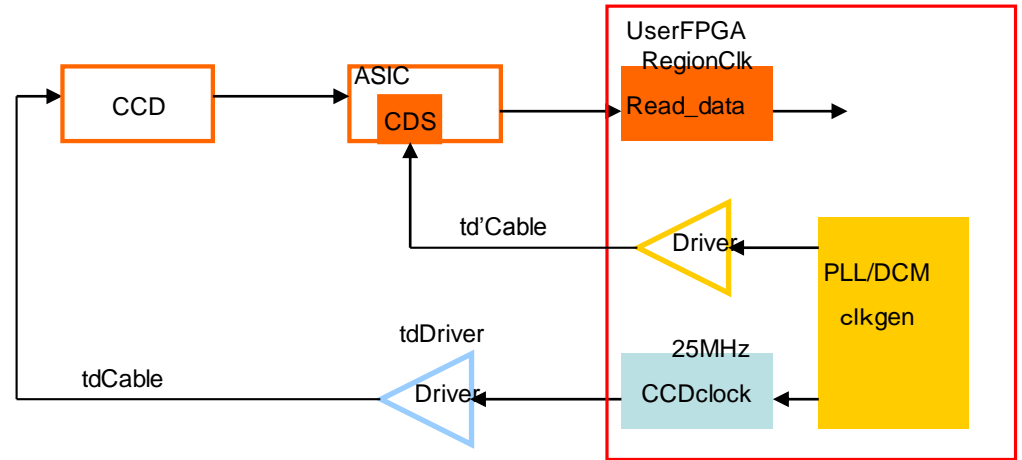
CDS回路の入力にtdの遅れがあり、LPFの積分開始が遅れる。

$$td = td_{CCD} - td_{TRACK}$$

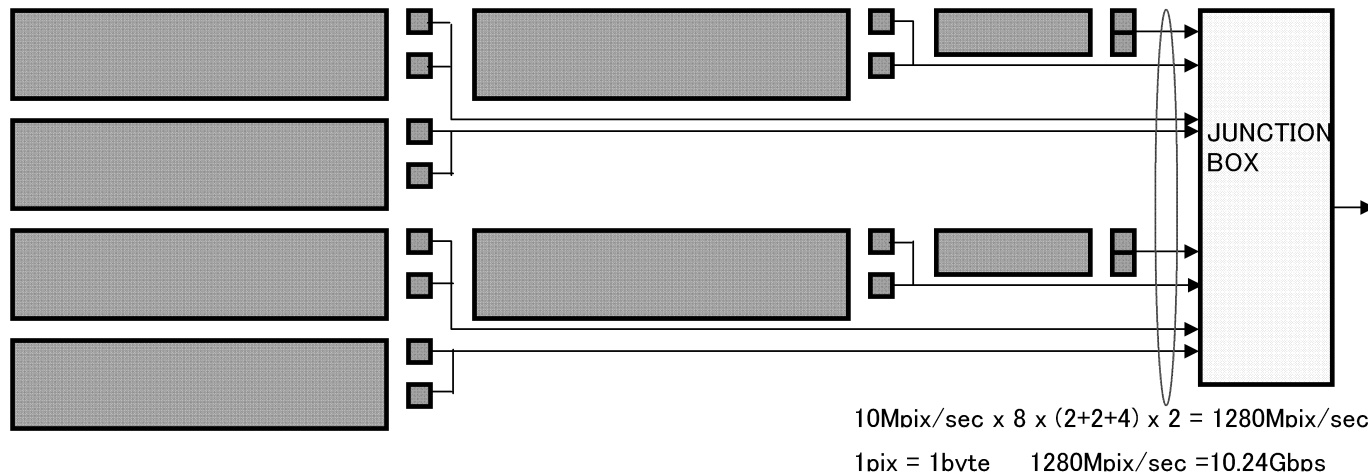
$$= (td'_{Cable} + \text{ASIC内の遅れ})$$

$$- (td_{Driver} + t_{Cable} + \text{CCD内遅れ})$$

PLL/DCMにより tdを打ち消すように CCDclock回路へのクロック信号を先行させる。(DCMの位相シフト機能)



VTX検出器のデータ転送レート JunctionBoxあたり



出力側にはオーバーヘッドを含め12.8Gbps必要（データ圧縮なしのとき）

13Gbps以上の光リンクを考える

まとめ

- 1、 センサーの構造・動作原理・信号の性質をよく知る
- 2、 回路を読めるようになる
読めるために名前のついた回路を理解する
- 3、 システムの全体を始めからよく考える
全体のイメージをしっかり持って、無駄なことをしない
- 4、 FPGAは役立つ 最新のものを使う、使いこなす
- 5、 ASICの設計、FPGAの設計には方法が確立している
方法に従ってやるべきことをやる

文献

「FFT-CCDエリアイメージセンサの特性と使い方」 技術資料 SD-25 浜松ホトニクス

「LSI設計のためのCMOSアナログ回路入門」 谷口研二 著

「RFマイクロエレクトロニクス」Behzad Razavi 著 黒田忠広 訳

「アナログCMOS集積回路の設計 基礎編」「同 応用編」Behzad Razavi 著 黒田忠広 訳

IEEE SOLID-STATE CIRCUITS MAGAZINE Fall 2011, VOL.3 No.4

ザイリンクスFPGA講座 <http://japan.xilinx.com/japan/fpga-koza/chapter01/01.htm>

Xcell Journal 日本語版 58・59合併号 2007 Spring Vertex5特集

http://japan.xilinx.com/publications/archives/xcell/Xcell58_59_all_j.pdf

「RTL設計スタイルガイド VHDL編」 STARC監修 培風館

「RTL設計スタイルガイド VerilogHDL編」 STARC監修 培風館

「Switching and finite automata theory」 Zvi Kohavi, Niraj K. Jha 著 Cambridge University Press; 3版

The International Linear Collider Technical Design Report Vol.4

Back up

FPCCD VTX design parameter

Layer	R (mm)	Z (mm)	cos θ	Pixel size (μm)
1	16	62.5	0.97	5
2	18	62.5	0.96	5
3	37	125	0.96	10
4	39	125	0.95	10
5	58	125	0.91	10
6	60	125	0.9	10

- Pixel size of outer layers
 - It was $5\mu\text{m}$, but changed to $10\mu\text{m}$
 - ➔ Reduction of number of readout channels and power consumption

Power consumption

- Assumptions

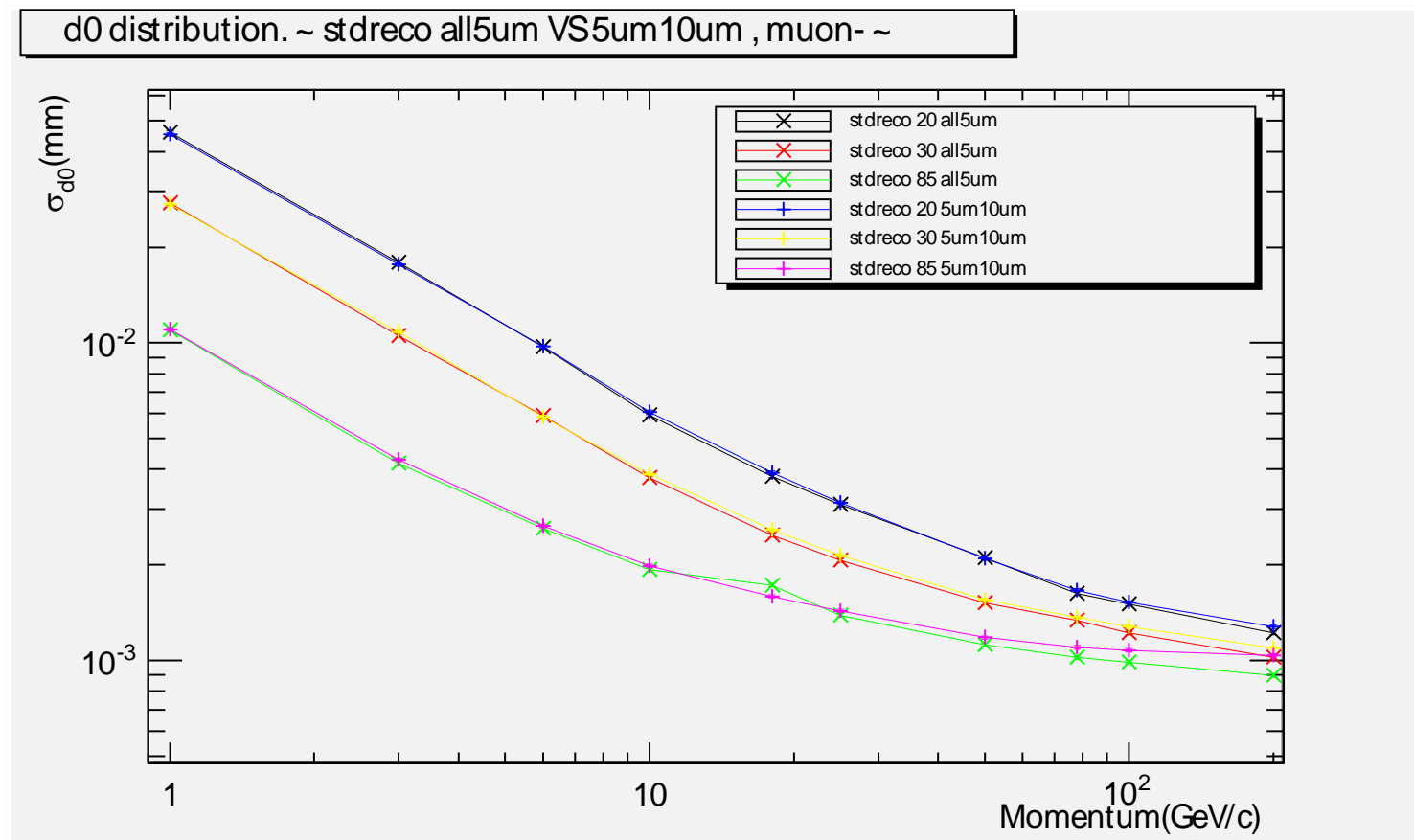
Readout frequency	10 Mpix/s
Readout time	200 ms
Clock timing	Same for inner and outer layers
Vertical shift time	40 us/line
Power consumption	15 mW/ch
Chip size (in/out)	11x62.5mm ² / 22x125mm ²
Number of chips (in/out)	40 (=10x2x2) / 112 (=(11+17)x2x2)

- Results

Pixel size (in)	Pixel size (out)	# of ch/chip (in)	# of ch/chip (out)	# of ch (total)	Power consumption
5 um	5 um	28	56	7392	111 W
5 um	10 um	15	15	2280	34 W

Expected IP resolution

- Increase of pixel size of outer layers does not affect the IP resolution

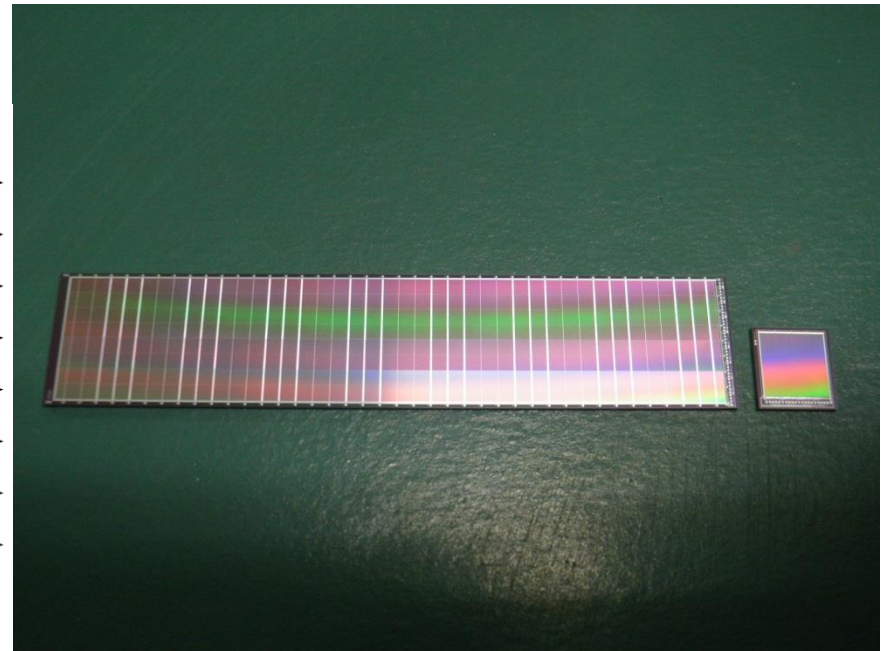
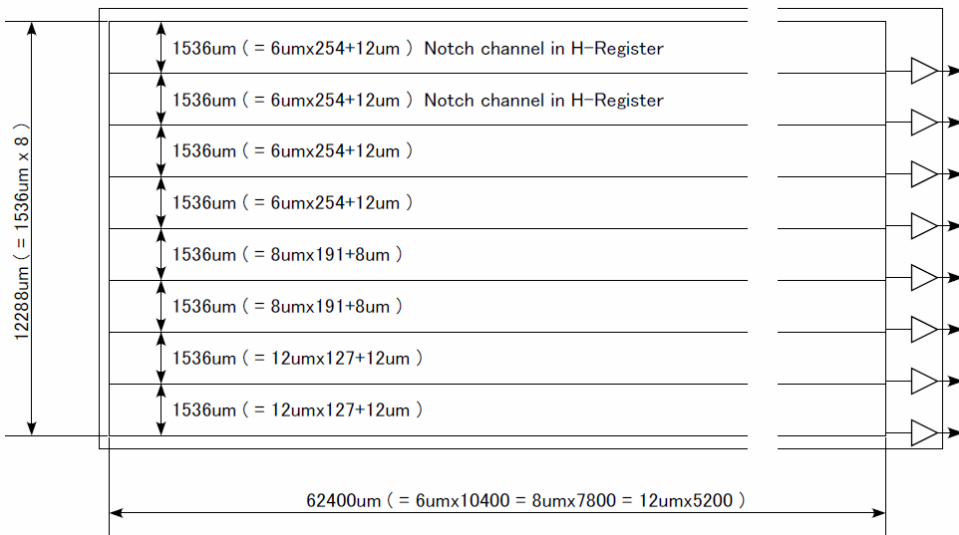


FPCCD sensors

- Small prototype in FY2012
 - 6mm square image area
 - 6um pixel size
 - 4ch/chip with different horizontal shift register size: 6x6, 6x12, 6x18, 6x24 μm^2
 - It works except for the channel with 6x6 μm^2 horizontal shift register

FPCCD sensors

- Large prototype
 - $62.4 \times 12.3 \text{ mm}^2$ image area ~ Real size prototype for inner layers
 - 8ch/chip with several pixel sizes: 4chx6um, 2chx8um, 2chx12um
 - Si wafer has been made, but waiting for packaging



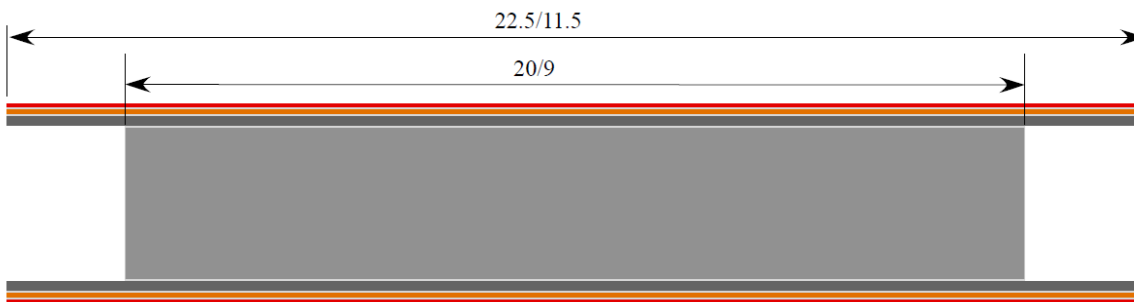
Support structure

- Ladder

- Ladder has a tricky shape to allow overlapping of sensors with adjacent ladder

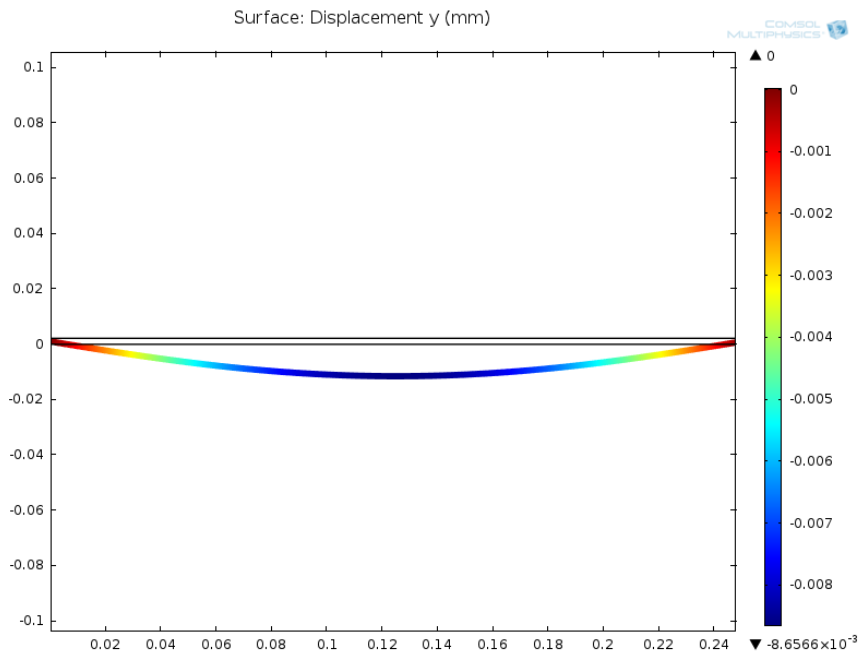
- Material budget
 $\sim 0.3\% X_0 / \text{ladder} =$
 $0.15\% X_0 / \text{sensor layer}$

		t (μm)	Total t (μm)	X0 (%)
Si		50	50	0.0534
Epoxi		10	2000	0.0028
FPC	Cu	9		0.0125
	Kapton	51		0.0179
Epoxi		10		0.0028
CFRP		100		0.0383
Epoxi		20		0.0056
RVC		1600		0.0300
Epoxi		20		0.0056
CFRP		100		0.0383
Epoxi		10		0.0028
FPC	Cu	9		0.0125
	Kapton	51		0.0179
Epoxi		10		0.0028
Si		50		50
Total			2100	0.2966

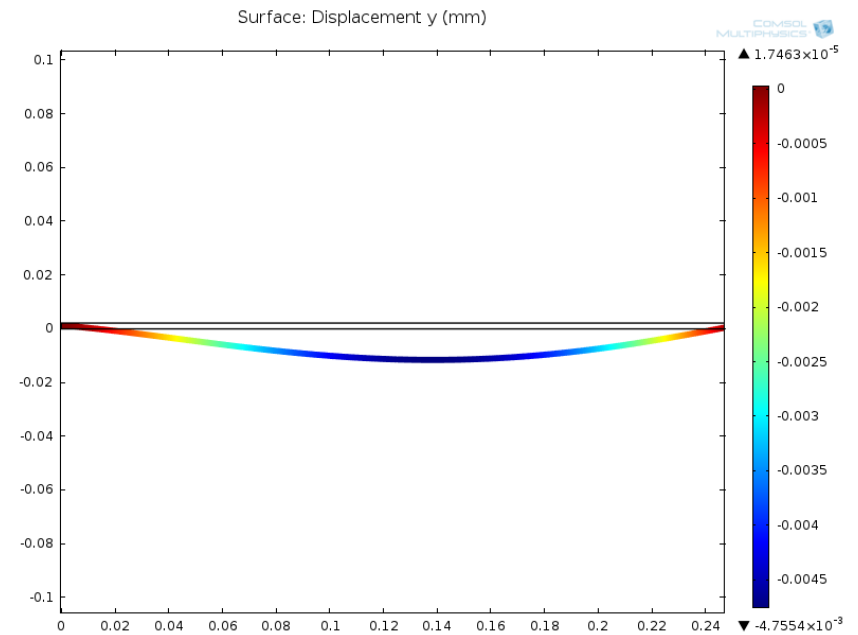


Support structure

- Ladder deformation by self weight
 - Simplified geometry of 50um Si sensors (200um gap between two sensors) + CFRP sheets and RVC core



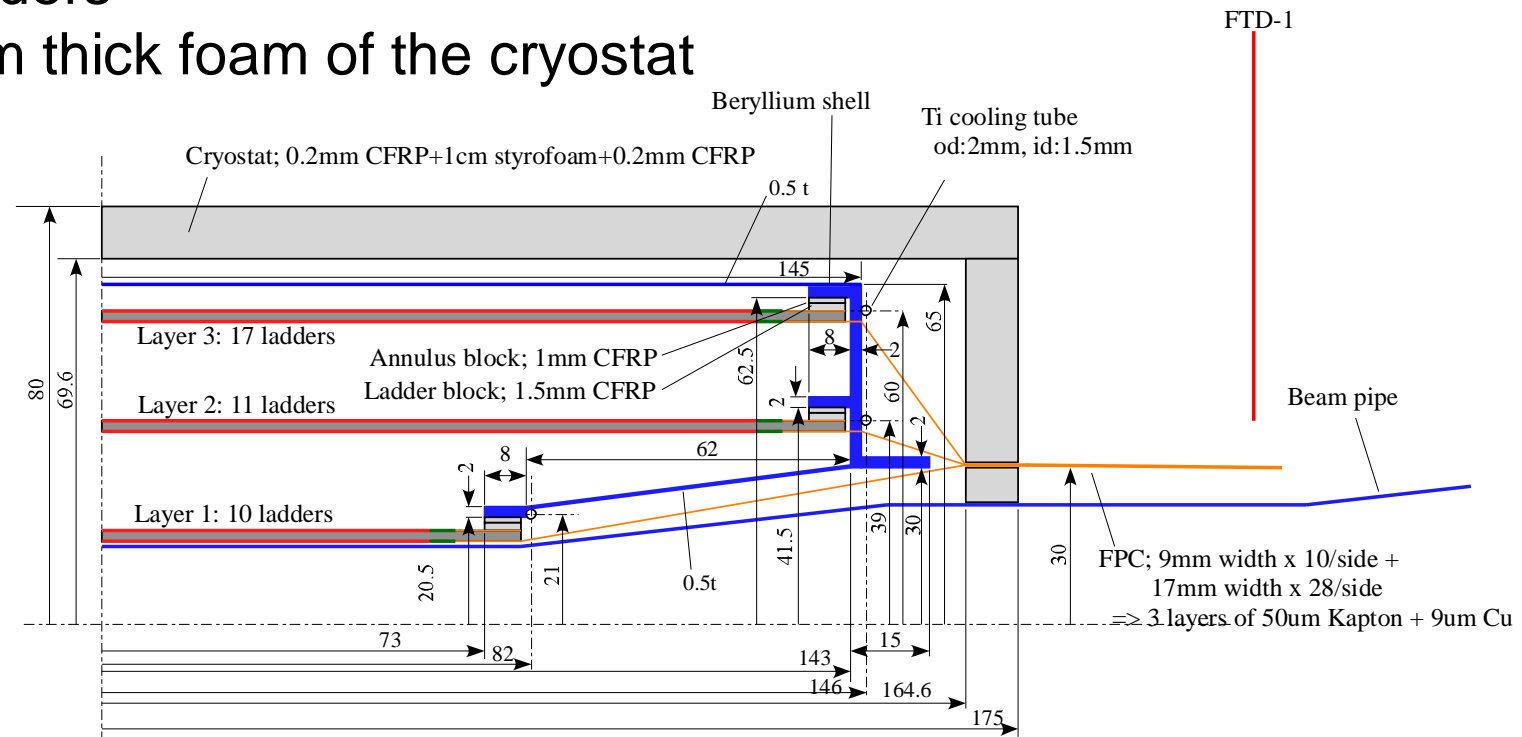
Two edges support:
Maximum deformation $\sim 8.66 \mu\text{m}$



One edge fix, one edge support:
Maximum deformation $\sim 4.76 \mu\text{m}$

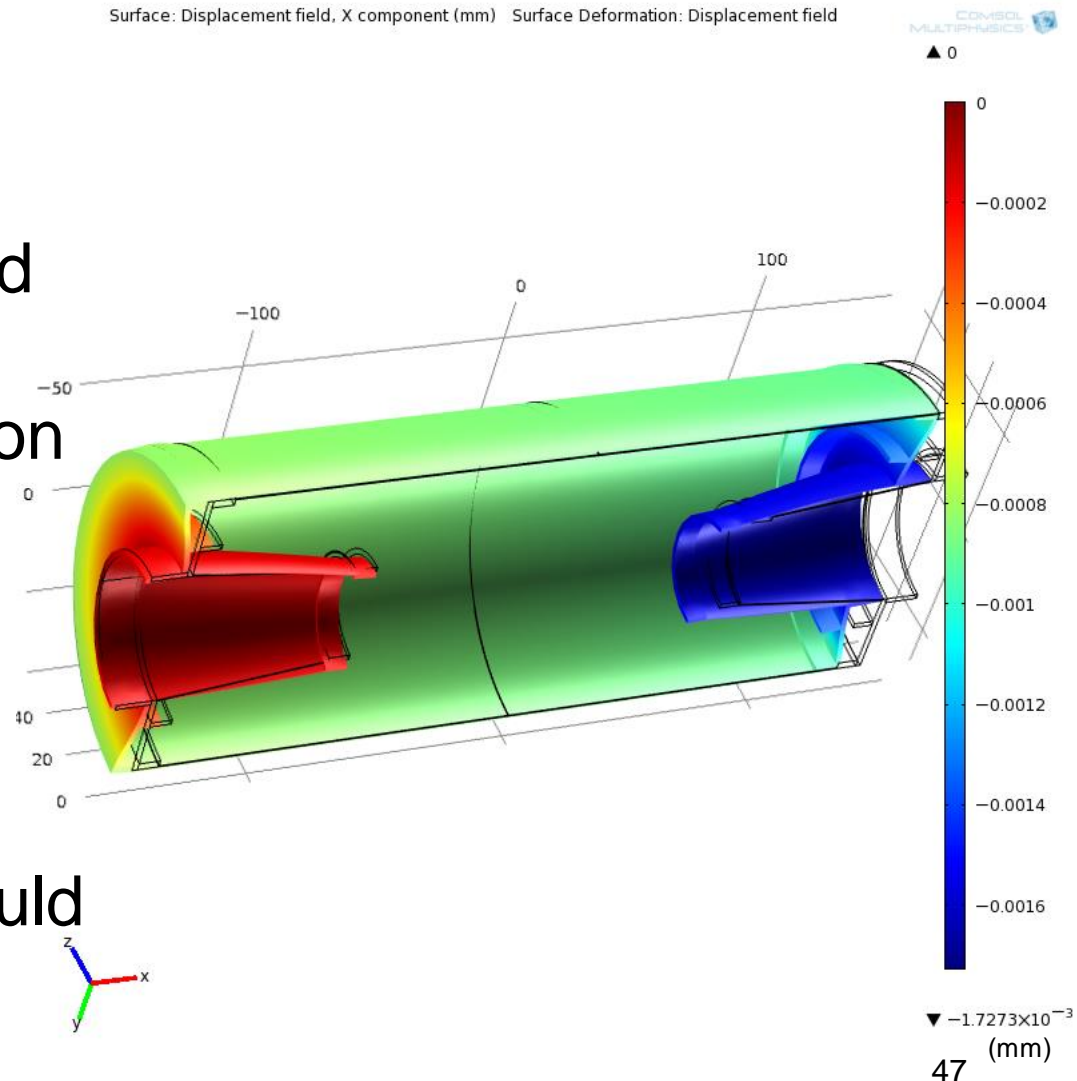
Support structure

- Design in ILD simulation model
 - Similar to SLD vertex detector
 - 2 mm thick Be end plate, 0.5 mm thick Be support shell
 - Kapton+Cu flexible cables
 - Ladders
 - 1 cm thick foam of the cryostat



Beryllium support shell

- FEA calculation of deformation
 - 1kgf (9.8N) is applied in z-direction
 - Maximum deformation is less than $2\mu\text{m}$
 - Total weight is less than 500g \rightarrow max force caused by the friction at the kinematic mount would be less than 500gf

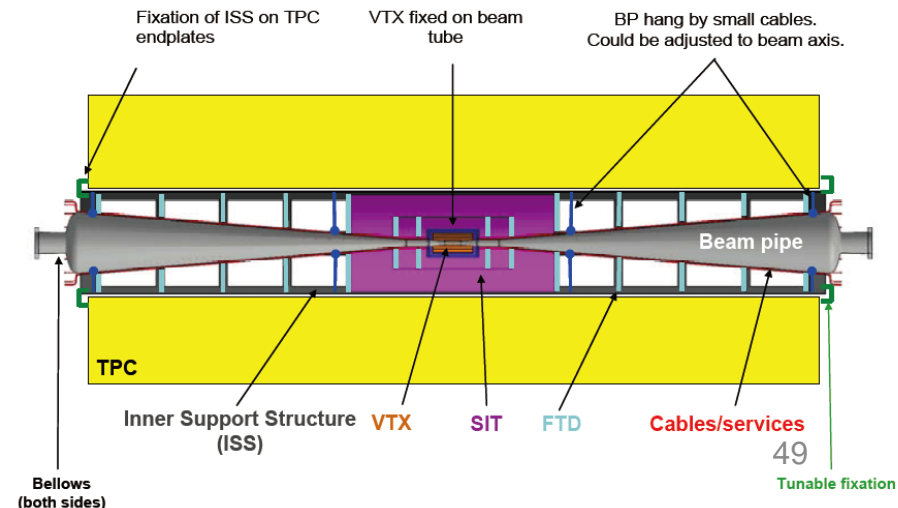


CO₂ cooling system

- Operation temperature and power
 - -40°C from the radiation immunity point of view
 - > 30 W inside cryostat
- Cold nitrogen gas
 - Flow rate of ~1 L/s is necessary to extract 30W power with $\Delta T=30K$
 - Thick cooling tube would be necessary
- Two-phase CO₂
 - Flow rate of ~0.1 g/s is necessary to extract 30W power with $\Delta T \sim 0K$ (latent heat)
 - Thin tube is OK →
 - Less material budget
 - Less space needed between forward Si disks and beam pipe

CO2 cooling system

- Cooling tube is attached to VTX end-plate and heat produced by CCD output amp and ASIC is removed by conduction through CFRP ladder (simulation study for thermal design is necessary)
- Return line of CO2 will be used to cool the electronics (clock drivers) outside the cryostat (~200W/side)
- Inner support tube should be air-tight and filled with dry air/nitrogen in order to prevent condensation on the CO2 tube



Summary

- FPCCD vertex detector design for DBD
 - 3 sets of double-layer ladders: total 6 layers
 - $R_{in}=16\text{mm}$, $R_{out}=60\text{mm}$
 - Pixels size is $5\mu\text{m}$ for inner two layers and $10\mu\text{m}$ for outer 4 layers: Impact parameter resolution is almost same as the all $5\mu\text{m}$ pixel case
 - Material budget $\sim 0.3\%X_0/\text{ladder} = 0.15\%X_0/\text{layer}$
 - Ladders are supported by a Beryllium support structure: 2mm-thick end-plate and 0.5mm-thick support shell
 - The support structure is enclosed in a rigid foam cryostat and operated at -40°C
 - 2-phase CO_2 cooling system is used for the cooling: Thin cooling tube is attached to the end plate
- Sensor R&D status
 - A small size prototype with $6\mu\text{m}$ pixel size has been made and it works
 - Almost real size large prototype with $6 - 12\mu\text{m}$ pixel size has been made: to be tested soon
 - Detailed characterization is expected in coming 1~2 years