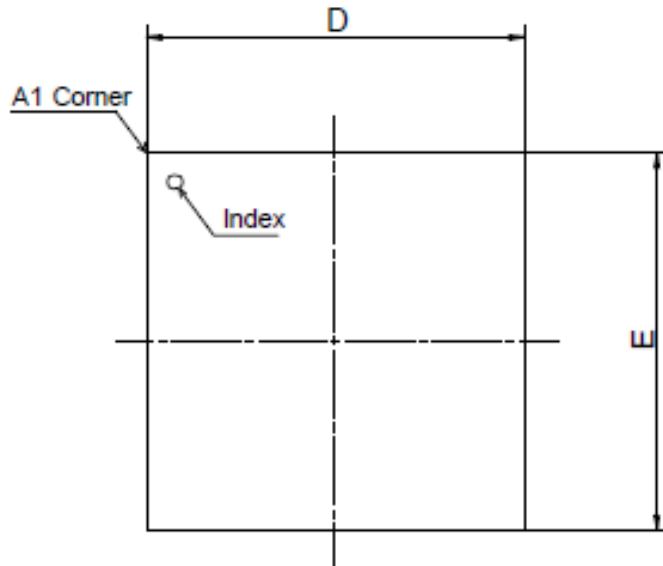


Topics

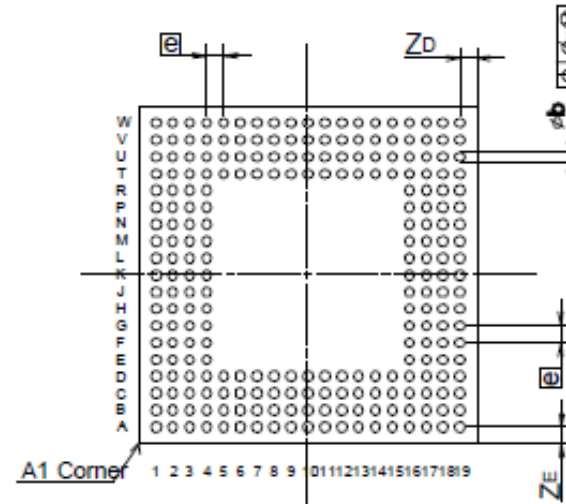
- Thin BGA
- SKIROC test board
- Software – EUDAQ/xDAQ
 - Finite state machine (just configure/run)
- Shipment
- DIF(/LDA) FPGA

Thin BGA

Top View

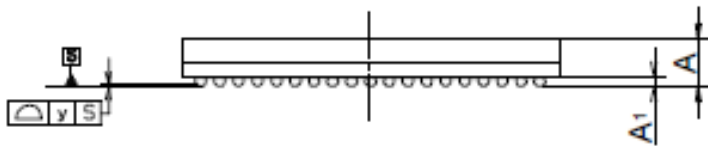


Bottom View



Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	-	10	-
E	-	10	-
A	-	-	1
A1	-	0.23	-
e	-	0.5	-
b	0.26	-	0.36
x	-	-	0.08
y	-	-	0.1
Z _D	-	0.5	-
Z _E	-	0.5	-

Unit: mm



P-VFBGA-240-1010-0.50(VFBGA10H-240)

SEIKO EPSON CORP.

1 mm thickness, 240 pins (same as QFP SKIROC2)
 Sc people considering LCC(Leadless Chip Career)
 or CIB (Chip In Board)

試作デバイス仕様一覧表

2014年 4月 10日
 セイコーエプソン(株)
 マイクロデバイス事業部

この帳票は、お客様の試作を間違い無く タイムリーに作成する為の帳票です。
 趣旨をご理解の上、ご協力をお願い致します。

試作内容

お客様名	九州大学/大学院理学研究院 末原 大幹様		製品名	
パッケージ名称/構造	VF8GA10H		Pin数 リード/ボールピッチ	240 0.5 mm
試作用途・目的				
デバイス支給形態	インチWF、	インチチップ	チップサイズ	X 7.5 mm、Y 8.1 mm
WFの場合、有効チップ数			チップ材質 (チップサイズはスクライブセンター基準)	Si、Low-k、 その他材質
残りチップの処理方法	廃却、その他			
WF裏面研削	不要、要	$\mu\text{m} \Rightarrow \mu\text{m}$	パッド材質 パッド部メタル厚 パッド下構造	
スクライブライン幅	μm			
バシベーション仕様			ポリイミドコート	無し、有り 材質 μm
最小パッドピッチ	μm		パッド開口部サイズ	μm
チップ図面	無し、有り (ダイナンバー位置/表示内容 要) (パッド座標 要)		WF電特不良鑑別	無し、有り インク、レーザー、マップ方式
結線図	無し、有り		ネットリスト/ Pin Assignment	無し、有り
部品のはんだ実装 (受動素子等)	無し、有り		はんだ実装部品の 仕様	
デバイス静電耐圧	V		マーク仕様	
支給デバイス数	WF	枚、デバイス	個	希望完成数
サンプル水準	無し、有り			希望納期
支給部品・部材	無し、有り 支給部品・部材仕様		支給部品/ 部材内訳	
御社での信頼性試験	無し、有り 内容 評価日程			
環境対応	ハロゲンフリー対応 不要 / 要		梱包仕様	
電気特性テスト対応	不要、要 テストプログラム提供 無し、有り		輸出法令該当非判定	該当、非該当 ハラマークシート 無し、有り
記事項(特殊仕様等)				

SKIROC test board

消費税抜合計額					¥430,000
1	設計代(回路図作成無)	1	式	340,000	¥340,000
2					¥0
消費税抜合計額					¥340,000
1	設計代(回路図作成のみ)	1	式	90,000	¥90,000
2					
消費税抜合計額					¥90,000

1 EUR = 140 JPY

Design fee:
BGA with DIF connector

Schematic: 600 EUR
Layout: 2500 EUR

SKIROC test board

No	品名と仕様	数量	単位	単価	金額
1	8層基板	1	枚	21,000	¥21,000
2	ネガ代	1	式	50,000	¥50,000
3	グリーンマスク版代	1	式	38,000	¥38,000
4	シルク印刷版代	1	式	38,000	¥38,000
5	NCテープ代	1	式	15,000	¥15,000
6	レーザー出力代	1	式	120,000	¥120,000
7	実装イニシャル	1	式	200,000	¥200,000
8	実装費	1	式	50,000	¥50,000
9	部品代	1	式	420,000	¥420,000
10					
11	ロット価格				
12	8層基板 1-29枚	1	枚	21,000	
13	8層基板 30-99枚	1	枚		
14					
15					
消費税抜合計額					¥952,000

Initial cost: 3,500 EUR

Unit cost: 500 EUR + components (mainly socket)

Software

- EUDAQ
 - Not mature, may need modification on framework
 - May have conflicts to ongoing projects?
 - have LCIO output, no XML port
 - GUI: small freedom (for run control/config)
- xDAQ
 - Mature but complicated (for me: maybe OK)
 - Modification of framework difficult?
 - no LCIO, have XML

Atmosphere in ILC prefer EUDAQ: maybe I can survive on it

FSM in EUDAQ

- Configure
- Start
- Stop

- No intelligent event control
but may be possible to implement

Shipment

- How is it?

DIF FPGA

- We're thinking of contributing in FPGA part
 - It's helpful to understand whole system
 - It's also helpful for debugging system
 - It's also helpful to combine DAQs
- Yuji may be able to go to LLR for it